



(19)

(11) Publication number: 2000156472 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11105948

(51) Intl. Cl.: H01L 27/10 G11C 11/22 G11C 14/00 H01L 27/108  
H01L 21/8242 H01L 21/8247 H01L 29/788 H01L  
29/792

(22) Application date: 13.04.99

(30) Priority: 13.04.9814.09.98 JPJP  
1010149010259972(43) Date of application  
publication: 06.06.00(84) Designated contracting  
states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: KAWAKUBO TAKASHI  
ABE KAZUhide  
TAKASHIMA DAIZABURO

(74) Representative:

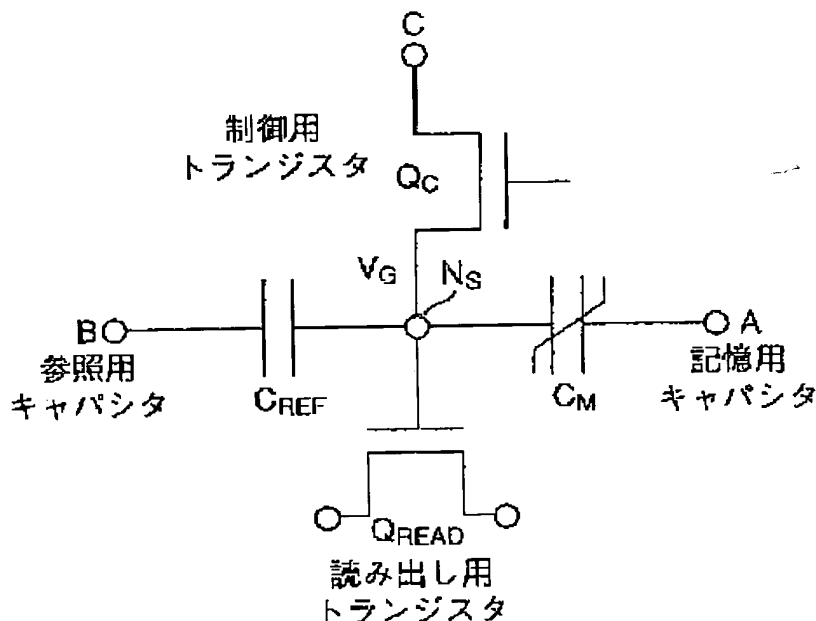
(54) SEMICONDUCTOR MEMORY  
DEVICE

## (57) Abstract:

PROBLEM TO BE SOLVED: To manufacture a ferroelectric thin film which is capable of constituting a small memory cell and scaling through a simple process and stably holding its polarization state.

SOLUTION: A memory cell is equipped with a memory capacitor CM equipped with a first electrode, a second electrode opposed to the first electrode, and a ferroelectric thin film sandwiched in between the electrodes, a reference capacitor CREF equipped with a third electrode connected to the first electrode, a fourth electrode opposed to the third electrode, and a ferroelectric thin film sandwiched in between the electrodes, a rear-out transistor QREAD equipped with a gate electrode connected to both the first and third electrode, and a control transistor for controlling the potential VG of a storage node NS as a connecting point of the first electrode, the third electrode, and the gate electrode, and two or more of the memory cells are arranged in a matrix to form a semiconductor memory device.

COPYRIGHT: (C)2000,JPO



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-156472  
(P2000-156472A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ページ数(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
G 1 1 C 11/22		G 1 1 C 11/22	
14/00		11/34	3 5 2 A
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242		29/78	3 7 1

審査請求 未請求 請求項の数18 O L (全 45 頁) 最終頁に続く

(21)出願番号 特願平11-105948

(22)出願日 平成11年4月13日(1999.4.13)

(31)優先権主張番号 特願平10-101490

(32)優先日 平成10年4月13日(1998.4.13)

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平10-259972

(32)優先日 平成10年9月14日(1998.9.14)

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72)発明者 阿 部 和 秀

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72)発明者 高 島 大三郎

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(74)代理人 100064285

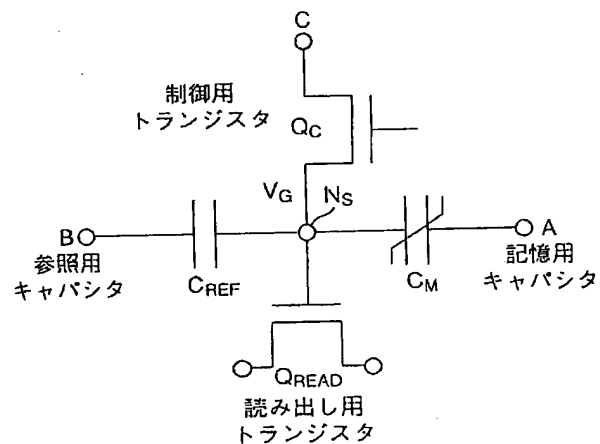
弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体記憶装置

## (57)【要約】

【課題】 簡単なプロセスにより、小さなメモリセル構成とスケールアップが可能で、強誘電体分極の安定な保持が可能な強誘電体薄膜を製造する。

【解決手段】 第1の電極、これに対向する第2の電極、これらの電極間に挟まれた強誘電体薄膜を備える記憶用キャパシタ $C_M$ と、第1の電極に接続された第3の電極、第3の電極に対向する第4の電極、これらの第3および第4の電極に挟まれた誘電体薄膜を備える参照用キャパシタ $C_{REF}$ と、第1の電極と第3の電極に共に接続されたゲート電極を有する読み出し用トランジスタ $Q_{READ}$ と、第1の電極、第3の電極、ゲート電極の3つの接続点であるストレージノード $N_S$ の電位 $V_G$ を調整する制御用トランジスタと、を少なくとも具備するメモリセルが、複数個マトリクス状に配置されている。



## 【特許請求の範囲】

【請求項1】第1の電極と、この第1の電極に対向して配置された第2の電極と、前記第1および第2の電極に挟まれる強誘電体薄膜と、を少なくとも備える記憶用キャパシタと、

前記第1の電極に接続された第3の電極と、この第3の電極に対向して配置された第4の電極と、前記第3および第4の電極に挟まれる誘電体薄膜と、を少なくとも備える参照用キャパシタと、

前記第1および第3の電極に接続されたゲート電極を有する読み出し用トランジスタと、

前記記憶用キャパシタの前記第1の電極、前記参照用キャパシタの前記第3の電極、前記読み出し用トランジスタの前記ゲート電極の3つの接続点であるストレージノードの電位を調整するために設けられた制御用トランジスタと、

を少なくとも備えるメモリセルを、複数個マトリックス状に配置したことを特徴とする半導体記憶装置。

【請求項2】前記制御用トランジスタは、前記記憶用キャパシタの前記第1の電極と前記第2の電極との間に接続されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】前記制御用トランジスタは、前記参照用キャパシタの前記第3の電極と前記第4の電極との間に接続されていることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】前記制御用トランジスタは、前記参照用キャパシタの前記第3の電極と前記第4の電極との間に接続されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】前記参照用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量が、前記記憶用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量の、 $1/4$ 以上4倍以内であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】第1の電極、この第1の電極に対向して配置された第2の電極、これら第1および第2の電極に挟まれた強誘電体膜を少なくとも具備する記憶用キャパシタと、これら第1および第2の電極間に接続された制御用トランジスタとからなる記憶セルが複数個直列接続された記憶セル列と、

この記憶セル列の端部に位置する前記記憶用キャパシタの第1の電極に電気的に結合された第3の電極、この第3の電極に対向して配置された第4の電極、これら第3および第4の電極に挟まれた誘電体薄膜を少なくとも具備する参照用キャパシタと、

前記第1および第3の電極に電気的に結合されたゲート電極を有する読み出し用トランジスタと、

を少なくとも備えるメモリセルブロックを、複数個マト

リックス状に配置したことを特徴とする半導体記憶装置。

【請求項7】前記記憶セル列の前記第1の電極と前記第2の電極との間に接続された制御用トランジスタを第1の制御用トランジスタとし、

前記参照用キャパシタの前記第3の電極と前記第4の電極との間に第2の制御用トランジスタが設けられていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】前記参照用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量が、前記記憶用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量の、 $1/4$ 以上4倍以内であることを特徴とする請求項6に記載の半導体記憶装置。

【請求項9】前記参照用キャパシタの誘電体薄膜が常誘電体薄膜であることを特徴とする請求項6に記載の半導体記憶装置。

【請求項10】前記参照用キャパシタの誘電体薄膜が強誘電体薄膜であることを特徴とする請求項6に記載の半導体記憶装置。

【請求項11】直列接続された複数の選択用MOSトランジスタと、これら選択用MOSトランジスタの共通主電極毎に接続された蓄積電極と対向したプレート電極に挟まれた誘電体膜からなる記憶用キャパシタと、よりなるNAND型記憶セル列と、

前記記憶セル列の端部に位置する選択用トランジスタの主電極に電気的に結合された参照用キャパシタと、前記選択用MOSトランジスタの主電極と前記参照用キャパシタの電極の接続部に電気的に結合されたゲート電極を有する読み出し用トランジスタと、

を少なくとも備えるメモリセルブロックを、複数個マトリックス状に配置したことを特徴とする半導体記憶装置。

【請求項12】前記選択用MOSトランジスタの主電極、前記参照用キャパシタの一方の電極、前記読み出し用トランジスタのゲート電極の3つの接続点であるストレージノードの電位を<背負するための制御用トランジスタをさらに備えることを特徴とする請求項11に記載の半導体記憶装置。

【請求項13】前記参照用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量が、前記記憶用キャパシタの読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量の $1/4$ 以上4倍以内であることを特徴とする請求項11に記載の半導体記憶装置。

【請求項14】前記記憶用キャパシタの誘電体膜が強誘電体膜であることを特徴とする請求項11に記載の半導体記憶装置。

【請求項15】記憶用キャパシタの誘電体膜が常誘電体膜であり、動作電圧範囲内における記憶用キャパシタの

最大容量値が最小容量値の2倍以上である非線形キャパシタであることを特徴とする請求項11に記載の半導体記憶装置

【請求項16】前記参照用キャパシタの誘電体膜が強誘電体膜であることを特徴とする請求項11に記載の半導体記憶装置。

【請求項17】前記参照用キャパシタの誘電体膜が常誘電体膜であることを特徴とする請求項11に記載の半導体記憶装置。

【請求項18】前記参照用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量が、前記記憶用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量の、 $1/4$ 以上4倍以内であることを特徴とする請求項11に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ギガビット以上の超大容量の記憶が可能な半導体記憶装置に係り、特に強誘電体薄膜からなる薄膜キャパシタを具備した不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】半導体記憶装置の集積密度が高くなり、ギガビット以上の超大容量の記憶容量が必要になってくると、メモリセルはますます小さくなるため、従来の酸化膜を用いた蓄積キャパシタでは、容量が不足するようになってきている。そこで、近年、強誘電体薄膜を蓄積キャパシタ等に用いた記憶装置（以下において、「強誘電体メモリ」という）の研究・開発が盛んに行なわれており、既に一部では実用化されている。強誘電体メモリは不揮発性であり、電源を落とした後もメモリに記憶された内容が失われず、しかも膜厚を十分に薄く形成できた場合には自発分極の反転が速く、DRAM並みに高速の書き込みや読み出しが可能であるなどの特徴を有する。

【0003】現在、強誘電体薄膜の利用形態から大別して、以下に分類する第1および第2の2種類の強誘電体メモリが考えられている。

【0004】第1の強誘電体メモリは、強誘電体薄膜を強誘電体キャパシタとして用いたものであり、金属/強誘電体/金属接合からなる強誘電体キャパシタの、分極反転時の電荷を読み出す方式である。その長所としては、強誘電体キャパシタを別作りにするので作成プロセスが比較的容易であること、スタンバイ時には強誘電体キャパシタの両電極間を等電位にしているので分極保持が容易であること、最小加工寸法を $F$ とすると、DRAMと同様の1セルトランジスタ（1T/1C）型セルで $8F^2$ 、NAND型のセルや、1T/1C並列接続のセル（Chain FRAM）では $4F^2$ という小さなメモリセル面積が可能であること、等が挙げられる。ここで、

半導体記憶装置を構成しているパターン上の最小ライン幅 $L$ 、最小スペース幅 $S$ とすると、最小加工寸法（ $2F$ ）は両者の和（ $2F=L+S$ ）に相当している。

【0005】第2の強誘電体メモリは、強誘電体薄膜を強誘電体ゲートトランジスタとして用いたものである。これは、MOS-FETのゲート酸化膜の代わりに、強誘電体薄膜をゲート絶縁膜として使用する構造であり、「MFS（金属/強誘電体/半導体）-FET（Field Effect Transistor）」とも呼ばれている。この第2の強誘電体メモリは、強誘電体薄膜の分極電荷を補償するだけのキャリアが半導体表面に誘起されるため、キャパシタの分極方向によって反転層や蓄積層が形成され、トランジスタのスイッチング状態の保持が可能になる。

【0006】このデバイスの特に優れている点は、分極電荷を直接読み出すのではなく、ゲインセルとして増幅して読み出せるところにある。したがって、記憶保持に分極電荷量の絶対値が必要ではなく、分極密度さえ保持できれば最小寸法 $f$ によるスケールアップが可能である。ここで、「最小寸法 $f$ 」は、いわゆるフィーチャ・サイズ（Feature Size） $f$ であり、一般に、 $L=S=f$ もしくは、 $L=f$ 、 $S=1.5f$ 等により与えられる。

【0007】

【発明が解決しようとする課題】上記の強誘電体薄膜を強誘電体キャパシタとして用いた第1の強誘電体メモリは、強誘電体キャパシタの残留分極量が、ある絶対量以上必要であり、最小寸法 $f$ によるスケールアップが困難な点が短所である。現状の強誘電体キャパシタを使用した読み出しは、キャパシタの反転電荷をビット線容量に導き、ビット線の電位差としてセンスを行なっている。微細化にともないキャパシタの面積や反転電荷量は $F^2$ で縮小するのに対し、ビット線容量はほとんど減少することが困難であるため、スケールアップの限界が存在するという問題点があった。

【0008】一方、上記のMFS-FETを用いた第2の強誘電体メモリにも以下のような第1ないし第3の短所がある。まず第1の短所は、 $Si$ 上へ直接強誘電体薄膜を成膜するプロセスが困難な場合があることである。その理由は、酸化し易い $Si$ （シリコン）の上に、PZT（チタン酸ジルコン酸鉛： $PbZr_xTi_{1-x}O_3$ ）、SBT（タンタル酸ストロンチウムビスマス： $SrBi_2Ta_2O_9$ ）、BSTO（チタン酸バリウム・ストロンチウム： $BaxSr_{1-x}TiO_3$ ）などの酸化物強誘電体薄膜を直接形成しているため、良好な結晶性を維持しつつ成膜することは容易ではないからである。

【0009】また、強誘電体薄膜を成膜する際には、シリコン（ $Si$ ）との界面には多少なりとも $SiO_2$ 層が生成されるが、 $SiO_2$ 層が数nm程度に薄くても、その誘電率が強誘電体薄膜に比較すれば遙かに小さいために、MFS-FETのゲート電極への印加電圧のかかりの部分が $SiO_2$ 層に食われてしまい、動作電圧が

高くなるという問題も含んでいるからである。

【0010】さらに、理想的なSi/SiO<sub>2</sub>界面とは異なり、Si/強誘電体界面に存在する界面準位、あるいはSi中に拡散した強誘電体中の重金属の不純物準位などは、MFS-FETのチャンネルのトラップとなり、キャリアの移動度を低下させると共に、MFS-FETの閾値電圧を界面準位密度、不純物準位密度に応じて変動させることも第1の短所の理由として考えられる。これらの問題点は、高集積化LSIとして非常に大きな課題となる。

【0011】第2の短所として、強誘電体薄膜に加わる反電界の問題がある。すなわち、強誘電体の分極により生じた電荷とSi表面に誘起される電荷は理想的には等しいため、分極の方向により蓄積層および空乏層ないしは反転層が生成されることになるが、このときのSiの表面電位のシフト分が強誘電体薄膜に反電界として加わることになる。この反電界は分極を反転される方向に加わるため、MFS-FETの分極の安定的な保持に困難が生じる。

【0012】第3の短所として、メモリーセルサイズが大きくなることが挙げられる。MFS-FETからなるメモリーセルをマトリックス状に配置し、半導体記憶装置を構成する場合、一つのメモリーセルには、通常情報を保持するためのMFS-FETに加え、書き込み制御用トランジスタおよび読み出し制御用トランジスタが必要である。即ち、MFS-FETの場合は、一つのメモリーセルは3つのトランジスタ(3T)で構成され、および18F<sup>2</sup>以上のセル面積になり、上記の第1の強誘電体薄膜を強誘電体キャパシタとして用いた強誘電体メモリーセルよりもメモリーセルサイズが大きくなる。

【0013】上述してきたように、第1のメモリにおける強誘電体キャパシタ、あるいは第2のメモリにおけるMFS-FETのいずれを使用しても一長一短があり、小さなメモリーセル構成、スケール可能、強誘電体分極の安定な保持、プロセスの容易さ、といった高集積半導体メモリに必要な項目をすべて満たすことはできない。

【0014】上記問題点に鑑みて、本発明は小さなメモリーセル構成が可能であり、さらに強誘電体分極の安定な保持が可能な強誘電体薄膜を使用した半導体記憶装置を提供することを目的とする。

【0015】また、上記の目的に加えて、MFS-FETの長所であるスケール可能であるという特徴を併せ有すると共に、さらに高集積化が可能な強誘電体薄膜を使用した半導体記憶装置を提供することを他の目的としている。

【0016】本発明は、製造プロセスが容易である強誘電体薄膜を使用した半導体記憶装置を提供することをさらに他の目的としている。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の基本構成に係る半導体記憶装置は、第1の電極と、この第1の電極に対向して配置された第2の電極と、これらの第1および第2の電極に挟まれた強誘電体薄膜とを少なくとも備える記憶用キャパシタと；この記憶用キャパシタの第1の電極に接続された第3の電極と、この第3の電極に対向して配置された第4の電極と、これらの第3および第4の電極に挟まれた誘電体薄膜とを少なくとも備える参照用キャパシタと；記憶用キャパシタの第1の電極および参照用キャパシタの第3の電極に共に接続されたゲート電極を有する読み出し用トランジスタと；第1の電極、第3の電極、ゲート電極の3つの接続点であるストレージノードの電位を調整する制御用トランジスタと；を少なくとも具備するメモリーセルを複数個マトリックス状に配置したことを特徴としている。すなわち、第1の基本構成に係る半導体記憶装置は、記憶用キャパシタ、参照用キャパシタおよび読み出し用トランジスタ、制御用トランジスタを少なくとも具備したメモリーセルを、複数個マトリックス状に配置したものである。

【0018】本発明では、以下の説明において、記憶用キャパシタの第1の電極、参照用キャパシタの第3の電極、および読み出し用トランジスタのゲート電極のすべての接続点となるノードを「ストレージノード」と呼ぶ。本発明の第1の基本構成において、記憶用キャパシタと参照用キャパシタとの直列回路の両端に、外部電圧V<sub>A</sub>を加えたとき、このストレージノードの電位V<sub>G</sub>は、記憶用キャパシタと参照用キャパシタの分極-電圧曲線(P-V曲線)の交点で示される。強誘電体薄膜を有する記憶用キャパシタは、強誘電ヒステリシス曲線を持つので、読み出し動作前に、予め、“1”あるいは“0”の記憶に相当する分極状態にしておくことができる。この、予め設定した分極状態に応じて、記憶用キャパシタのP-V曲線が異なり、したがって、P-V曲線の交点で示されるV<sub>G</sub>は異なる2値をとることができる。この異なるV<sub>G</sub>により読み出し用トランジスタをオン/オフ制御すれば読み出し信号線に“1”あるいは“0”の記憶状態に対応した信号を出力することができる。

【0019】本発明の第1の基本構成においては、記憶用キャパシタの第1および第2の電極間に制御用トランジスタを接続することが好ましい。すなわち、記憶用キャパシタと並列に制御用トランジスタを設置することにより、ストレージノードのフローティング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。また、読み出し時には、まず記憶用キャパシタを制御用トランジスタで短絡し、参照用キャパシタのみに電圧を加えてプリチャージを行ない、次に制御用トランジスタを遮断状態にし、記憶用キャパシタの第1および第2の電極間に低電圧の逆電位を加えて、分極状態を反転するプリチャージ併用読

み出し方式が可能になる。本発明では、以下の説明において、記憶用キャパシタと、この記憶用キャパシタに並列接続された制御用トランジスタからなるユニットを「記憶セル」と呼ぶ。

【0020】また、本発明の第1の基本構成において、参照用キャパシタの第3および第4の電極間に制御用トランジスタを接続することが好ましい。参照用キャパシタと並列に制御用トランジスタを設置することにより、ストレージノードのフローティング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。また、書き込み時には参照用キャパシタの第3および第4の電極間を制御用トランジスタで短絡して（パスして）記憶用キャパシタのみに電圧を加えることにより、低電圧書き込みが可能になる。本発明では、以下の説明において、参照用キャパシタと、この参照用キャパシタに並列接続された制御用トランジスタからなるユニットを「参照セル」と呼ぶことにする。

【0021】さらに、本発明の第1の基本構成において、記憶用キャパシタの第1および第2の電極間に接続された第1の制御用トランジスタと、参照用キャパシタの第3および第4の電極間に接続された第2の制御用トランジスタを具備することが好ましい。読み出し時には、まず第1の制御用トランジスタを導通状態とし、記憶用キャパシタを短絡し、第2の制御用トランジスタを遮断状態とし、参照用キャパシタのみに電圧を加えてプリチャージを行なう。一方、書き込み時には、第2の制御用トランジスタを導通状態とし、参照用キャパシタの第3および第4の電極間を第2の制御用トランジスタにより短絡させて（パスして）、第1の制御用トランジスタを遮断状態とし、記憶用キャパシタのみに電圧を加えることにより、低電圧書き込みが可能になる。また、第1および第2の制御用トランジスタを設置することにより、ストレージノードのフローティング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。

【0022】本発明の第1の基本構成によれば、プロセスの容易さ、小さなメモリセル構成でかつスケール可能な高集積密度半導体記憶装置を提供することが可能になる。特に、微細化に対しては、記憶用キャパシタ、参照用キャパシタ、制御用トランジスタ（第1/第2の制御用トランジスタ）および読み出し用トランジスタのゲートキャパシタの全てが比例縮小するので、MFS-FETと同様に完全なスケールアップが可能になる。

【0023】本発明の第2の基本構成は、第1の電極と、この第1の電極に対向して配置された第2の電極と、これらの第1および第2の電極に挟まれた強誘電体薄膜とを少なくとも具備した記憶用キャパシタと、第1および第2の電極間に接続された制御用トランジスタとからなる記憶セルが複数個直列接続された記憶セル列

（記憶セルチェーン）と；この記憶セル列（記憶セルチェーン）の端部に位置する記憶用キャパシタの第1の電極に電気的に接合した第3の電極と、この第3の電極に対応して配置された第4の電極と、これら第3および第4の電極に挟まれた誘電体薄膜とを少なくとも具備した参照用キャパシタと；第1および第3の電極に電気的に接合したゲート電極を有する読み出し用トランジスタと；を少なくとも具備したメモリセルブロックを複数個マトリックス状に配置したことを特徴としている。ここで、「電気的に結合した」とは直接的な接続以外に、短絡状態になった記憶用キャパシタや記憶セル列（記憶セルチェーン）等が間に存在する状態の回路構成を許容する意である。本発明の第2の基本構成における記憶セル列（記憶セルチェーン）をランダムにアクセスするためには、ブロック選択トランジスタを各記憶セル列に接続すればよい。

【0024】本発明の第2の基本構成において記憶セル列が $n$ 個の記憶セルの直列接続からなるとすれば、この $n$ 個の記憶セル、ブロック選択トランジスタ、読み出しトランジスタ、および参照用キャパシタ等を含んだ1個のブロックの面積を考慮すれば、メモリセルユニットは最小 $4F^2$ のサイズとなるので、メモリセル1個当りの寸法を $(4+20/n)F^2$ ないし $(4+14/n)F^2$ 程度にすることが可能となり、高集積密度化が可能となる。さらに、本発明の第2の特徴によれば、製造プロセスが容易で、かつパターン寸法のスケールアップが可能で、高集積密度半導体記憶装置を提供することができる。特に、微細化に対しては、記憶用キャパシタ、参照用キャパシタ、制御用トランジスタおよび読み出し用トランジスタのゲートキャパシタの全てが比例縮小するので、MFS-FETと同様の完全なスケールアップが可能になる。記憶セル列内の特定の記憶用キャパシタを選択するためには、他の記憶用キャパシタに並列接続されて制御用トランジスタを導通状態とし、対象とした特定の記憶用キャパシタに並列接続されている制御用トランジスタのみを遮断状態とすればよい。この場合、記憶セル列内の参照用キャパシタから遠い記憶用キャパシタを選択すると、参照用キャパシタと選択した記憶用キャパシタの間に存在する記憶セルの制御用トランジスタの寄生容量が、参照用キャパシタの容量に足し合わさるため、記憶情報の読み出し動作に影響する場合が考えられる。この場合には各位置の記憶セルの容量を、参照用キャパシタの容量と制御用トランジスタの寄生容量の和に対して、なるべく1:1に近くなるように調節することにより解決することができる。具体的には、参照用キャパシタに近い記憶セルの記憶用キャパシタの残留分極量より、参照用キャパシタより遠い場所の記憶セルの記憶用キャパシタの残留分極量を徐々に大きくすればよい。

【0025】本発明の第2の基本構成において、記憶用キャパシタに並列接続されている制御用トランジスタを

「第1の制御用トランジスタ」と呼ぶこととして、さらに参照用キャパシタの第3および第4の電極間に第2の制御用トランジスタを接続することが好ましい。参照用キャパシタと並列に第2の制御用トランジスタを設置した参照セルを構成することにより、ストレージノードのフローティング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。また、書き込み時には参照用キャパシタの第3および第4の電極間を第2の制御用トランジスタで短絡して（パスして）記憶用キャパシタのみに電圧を加えることにより、低電圧書き込みが可能になる。

【0026】なお、本発明の第1および第2の基本構成に共通した事項であるが、参照用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量が、記憶用キャパシタに読み出し電圧に相当する電圧を加えたときに得られる分極反転成分を含む電荷量の、 $1/4$ 以上4倍以内であることが好ましい。特に、記憶用強誘電体キャパシタと参照用キャパシタの実効的な容量をほぼ等しくすることで、強誘電体キャパシタの反転電圧を $V_c$ とすると、約 $2V_c$ の動作電圧で強誘電体キャパシタを反転させることができる。またこれと共に、当初の強誘電体キャパシタの分極状態に応じて、ストレージノードに $V_c$ 程度の電圧差異を発生させることができるので、ストレージノードの電位によって読み出しトランジスタを直接スイッチングすることが可能になる。

【0027】さらに、本発明の第1および第2の基本構成のいずれにも同様であるが、参照用キャパシタの誘電体薄膜は常誘電体薄膜でも強誘電体薄膜であっても構わない。参照用キャパシタを強誘電体薄膜で構成すれば、記憶用キャパシタと参照用キャパシタを同一のプロセスで同時に作成可能になり、プロセスの簡略化と製造歩留まりの向上を図ることができ、非常に大きなメリットがある。

【0028】本発明の第1および第2の基本構成に係る半導体記憶装置を既存のDRAMやFeRAMと比較すると以下のような長所が列挙できる。即ち、(1)メモリセルユニットは最小 $4F^2$ のサイズであり、(2)蓄積電荷の絶対値が不要であり面積縮小に対するスケールアップが可能であり、(3)スタンバイ時には強誘電体キャパシタを等電位に保持できるので安定であり、(4)キャパシタのリークやトランジスタの接合リークに対して敏感でなく、このためセル分離も容易となり、(5)ランダム・アクセスが可能となり、(6)DRAMと同程度の動作速度を確保でき、(7)クロスポイントのセルだけの読み出し/書き込み(R/W)であるため、低消費電力であり、(8)読み出しがバスレベルであるため、ノイズに対して敏感でなくなり、(9)ビット線モードのソフトエラーに対してもスケールアップ則が当てはまり、ソフトエラーが問題とはならず、(10)読み出し

アンプをブロック内に有するために、ビット線毎のセンスアンプは不要である、等が挙げられる。また、敢えて短所を挙げるなら、破壊読出しであるための強誘電体キャパシタの疲労劣化が懸念されるが、最近エピタキシャル成長したBSTO強誘電体キャパシタが開発され、この疲労劣化が問題はなくなっている。

【0029】次に、本発明の第3の基本構成に係る半導体装置は、直列接続された複数の選択用MOSトランジスタと、これら選択用トランジスタの共通主電極毎に接続された蓄積電極に対向するプレート電極に挟まれた誘電体薄膜よりなる記憶用キャパシタとからなるNAND型記憶セル列と、前記記憶セル列の端部に位置する選択用トランジスタの主電極に電気的に結合した参照用キャパシタと、前記選択用トランジスタの主電極と参照用キャパシタの接続部に電気的に結合したゲート電極を有する読み出し用トランジスタとを少なくとも具備したメモリセルブロックを、複数個マトリクス状に配置したことを特徴とする。

【0030】この第3の基本構成の主眼は、誘電体キャパシタを使用したNAND型の記憶セル列と、参照用キャパシタを直列に接続し、両者の接続点であるストレージノードの電位を読み出し用トランジスタのゲート電極に加えることにより記憶セルブロック毎の読み出しを行なうところにある。すなわち、NANDセル列中のトランジスタにより選択された1個の記憶用キャパシタと参照用キャパシタとの直列回路の両端に、外部電圧 $V_A$ を加えたときに、このストレージノード $N_s$ の電位 $V_g$ は、記憶用キャパシタと参照用キャパシタの分極-電圧曲線(P-V曲線)の交点で示される。

【0031】第3基本構成において、強誘電体薄膜を有する記憶用キャパシタは、強誘電ヒステリシス曲線を持つので、読み出し動作前に予め“1”あるいは“0”の記憶に相当する分極状態にしておくことができる。この予め設定した分極状態に応じて記憶用キャパシタのP-V曲線が異なり、従ってP-V曲線の交点で示される $V_g$ は異なる2値をとることができる。この異なる $V_g$ により読み出し用トランジスタをオン/オフ制御すれば読み出し信号線に“1”あるいは“0”の記憶状態に対応した信号を出力することができる。

【0032】一方、常誘電体薄膜を有する記憶用キャパシタでは、“1”あるいは“0”の記憶に相当する電荷を記憶用キャパシタに蓄積して選択用トランジスタをオフにすることにより、リフレッシュサイクル内で記憶状態を保持することができる。読み出し時に選択用トランジスタをオンにして、記憶用キャパシタと参照用キャパシタを接続すれば、予め蓄積した記憶用キャパシタの電荷量に応じてストレージノード $N_s$ の電圧 $V_g$ は異なる2値をとることができる。この異なる $V_g$ により読み出し用トランジスタをオン/オフ制御すれば読み出し信号線に“1”あるいは“0”の記憶状態に対応した信号を

出力することができる。

【0033】前述したようにNAND型メモリセルは、最小4F<sup>2</sup>の面積が可能であるが、従来の回路ではメモリセル内の誘電体キャパシタの蓄積電荷をビット線容量で読み出してセンスアンプで判定するため、ビット線容量に対して所定の割合の蓄積電荷容量が必要となり、このため微細化が困難であった。これに対して、本発明の第3の基本構成に係る半導体装置によれば、記憶用キャパシタの蓄積電荷を参照用キャパシタの容量で読み出し、ブロック内の読み出し用トランジスタで判定している。このため、記憶用キャパシタ、参照用キャパシタ、トランジスタのゲートキャパシタの全てを比例縮小することができるので、MFS-FETと同様に面積に対して完全なスケールアップが可能になり、ギガビットクラスにまで高集積化された半導体記憶装置を実現することができる。

【0034】また、多数の記憶セルからなるNAND型メモリセルブロックに対して、1個の参照用キャパシタおよび1個の読み出し用トランジスタを付加すれば済むため全体としても4F<sup>2</sup>に近い小さなメモリセル面積が可能となる。

【0035】本発明の第3の基本構成に係る半導体記憶装置を既存のDRAMやFeRAMと比較すると以下のような長所が挙げられる。即ち、(1)メモリセルユニットは最小4F<sup>2</sup>のサイズであり、(2)蓄積電荷の絶対値が不要であるため、面積縮小に対するスケールアップが可能となり、(3)スタンバイ時には強誘電体キャパシタを等電位に保持できるので安定となり、(4)強誘電体キャパシタを記憶用キャパシタに使用すれば、記憶保持がキャパシタのリークや、トランジスタの接合リークに対して敏感でなくなり、セル分離も容易となり、

(5)DRAMと同程度の動作速度を確保でき、(6)ビット線への読み出しがバスレベルであるため、ノイズに対しても敏感でなくなり、(7)ソフトエラーに対してもスケールアップ則が当てはまり、不敏感となり、

(8)読み出しアンプをブロック内に有するために、ビット線毎のセンスアンプが不要となり、(9)記憶用キャパシタの片方が共通にプレート電極に接続されているため、セル構造やプロセスが容易である、等である。

【0036】また、敢えて短所を挙げるなら、NAND構造であるために1ビット毎のランダムアクセスができず、ブロック単位のR/Wであることである。また、破壊読み出しであるため強誘電体キャパシタの疲労劣化が懸念されるが、最近エピタキシャル成長したBSTO強誘電体キャパシタが開発されており、第1および第2の基本構成に係る半導体記憶装置と同様に、このような疲労劣化の問題はかなり軽減されてきている。

【0037】

【発明の実施の形態】以下、本発明に係る半導体記憶装置の好適な実施形態について、添付図面を参照しながら

詳細に説明する。具体的な実施形態を説明する前に、図1ないし図15を用いて、本発明の基本的な動作をさらに詳細に説明する。

【0038】図1に示す等価回路図において、半導体記憶装置は、第1の電極、この第1の電極に対向して配置された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備した記憶用キャパシタC<sub>M</sub>と、記憶用キャパシタC<sub>M</sub>の第1の電極に接続された第3の電極、この第3の電極に対向して配置された第4の電極、およびこれらの第3、第4の電極に挟まれた誘電体薄膜とを少なくとも具備した参照用キャパシタC<sub>REF</sub>と、記憶用キャパシタC<sub>M</sub>の第1の電極および参照用キャパシタC<sub>REF</sub>の第3の電極に接続されたゲート電極を有する読み出し用トランジスタQ<sub>READ</sub>と、記憶用キャパシタC<sub>M</sub>の第1の電極と参照用キャパシタC<sub>REF</sub>の第3の電極との接続点にソースまたはドレインが接続された制御用トランジスタQ<sub>C</sub>と、を少なくとも具備したメモリセルである。

【0039】図2(a)(b)は、図1に示した記憶用キャパシタC<sub>M</sub>と、常誘電体薄膜を用いた参照用キャパシタC<sub>REF</sub>とを直列に接続したセルのA-B端子間に、外部電圧を印加したときの記憶“1”の読み出し動作と、記憶“0”読み出し動作の動作線図を示す。ここで、図2(a)および(b)に示す分極-電圧曲線(P-V曲線)は、横軸に電圧(V)が、縦軸に誘電分極(P)が示される。記憶用キャパシタとしての強誘電体キャパシタC<sub>M</sub>の反転電圧をV<sub>c</sub>、外部印加電圧をV<sub>A</sub>、両キャパシタの接続点であるストレージノードN<sub>S</sub>の電位をV<sub>G</sub>とする。強誘電体キャパシタC<sub>M</sub>のP-V曲線は、図2(a)(b)に示すような強誘電ヒステリシス曲線を有することになる。図2(a)は、強誘電体キャパシタC<sub>M</sub>が、読み出し動作前に予め、“1”の記憶に相当する分極状態にしてある場合で、図2(b)は、強誘電体キャパシタC<sub>M</sub>が、“0”の記憶に相当する分極状態にしてある場合を示す。常誘電体薄膜を用いた参照用キャパシタC<sub>REF</sub>は容量に相当する傾きを持つ直線で表される。

【0040】セルのA-B端子間に外部電圧V<sub>A</sub>を加えたとき、ストレージノードN<sub>S</sub>の電位V<sub>G</sub>は、記憶用キャパシタと参照用キャパシタのP-V曲線の交点で示される。図2(a)および図2(b)から分かるように、P-V曲線が異なるので、予め、“1”の記憶に相当する分極状態にしてある場合のストレージノードの電位V<sub>G</sub><sup>1</sup>と“0”の記憶に相当する分極状態にされている場合のストレージノードの電位V<sub>G</sub><sup>0</sup>とは異なる。

【0041】記憶用キャパシタC<sub>M</sub>を反転させるための電圧V<sub>A</sub>は、参照用キャパシタC<sub>REF</sub>の容量が大きい(図2(a)および図2(b)でいうと傾きが大きい)ほど低くなるため、参照用キャパシタC<sub>REF</sub>の容量は大きい方が望ましい。一方、V<sub>A</sub>を加えたときにV<sub>G</sub>で読み出さ



れる電圧の記憶状態による差 $\Delta V_G = V_G^1 - V_G^0$ は、逆に参照用キャパシタ $C_{REF}$ の容量が小さいほど大きくなる。この点では参照用キャパシタの容量は小さい方が望ましい。したがって、反転電圧と読み出し電圧の双方を勘案すると、記憶用キャパシタ $C_M$ と参照用キャパシタ $C_{REF}$ の実質的な容量が同程度、すなわち記憶用キャパシタ $C_M$ に反転電圧を加えたときに得られる反転分極電荷と、反転電圧と同じ電圧を参照用キャパシタ $C_{REF}$ に加えたときに得られる電荷が、ほぼ同程度であることが望ましい。より広くは、実質的な容量の比は、 $1/4$ 以上4倍以内程度が許容される。

【0042】記憶用キャパシタ $C_M$ と参照用キャパシタ $C_{REF}$ の容量比が $1:1$ のとき、 $V_A$ は $V_G$ の2倍程度となり、また記憶状態による $V_G$ の差 $\Delta V_G$ は、ほぼ $V_C$ と同程度になる。したがって、反転電圧 $1V$ の記憶用キャパシタ $C_M$ を使用すれば、 $V_A$ は $2V$ 程度となり、 $\Delta V_G$ として $1V$ 程度の差異が得られることになる。

【0043】次に、ストレージノード $N_S$ には読み出し用トランジスタ $Q_{READ}$ のゲート電極を接続し、 $V_G$ の差 $\Delta V_G$ による記憶状態の判別を行なう。このときに読み出し用トランジスタ $Q_{READ}$ のゲート容量が記憶用キャパシタ $C_M$ や参照用キャパシタ $C_{REF}$ に並列に接続されることになるが、記憶用キャパシタ $C_M$ として残留分極が $10\mu C/cm^2$ 程度以上の通常の強誘電体キャパシタを使用すれば、同じ面積の読み出し用トランジスタ $Q_{READ}$ のゲート容量は $1/10$ 以下であるから、ストレージノード $N_S$ の電位にほとんど変化を与えない。また、前述の例では、 $V_G$ の差 $\Delta V_G$ として $1V$ 程度得られるので、読み出し用トランジスタ $Q_{READ}$ として用いるMOSトランジスタの閾値である $700mV$ 程度より大きくなり、直接、ゲート電圧によるMOSトランジスタ $Q_{READ}$ のオン/オフの制御による読み出しが可能になる。

【0044】また、記憶用キャパシタ $C_M$ の強誘電ヒステリシス曲線の角型比が良い場合は参照用キャパシタ $C_{REF}$ に読み出された電荷を再利用することにより、読み出し動作に引き続き再書き込みをすることができる。すなわち、図3に示すように、読み出し電圧 $V_R$ とは逆方向に適当な再書き込み電圧 $V_W$ を加えることにより、記憶用キャパシタ $C_M$ の分極を、ほぼ読み出し動作前の状態に戻すことができる。

【0045】図3(a)は、強誘電体キャパシタ $C_M$ が、読み出し動作前に予め“1”の記憶に相当する分極状態にしてあった場合を示し、図3(b)は、強誘電体キャパシタ $C_M$ が、“0”の記憶に相当する分極状態にしてあった場合を示す。なお、図3(a)および図3(b)のような連続再書き込みを行なわない場合には、図7(a)に示すように、参照用キャパシタ $C_{REF}$ に制御トランジスタを並列接続し、この制御トランジスタを導通状態(オン状態)にして、参照用キャパシタ $C_{REF}$ を短絡し、直接記憶用キャパシタ $C_M$ のみに電圧を加え

て書き込みをすることができる。

【0046】また、参照用キャパシタ $C_{REF}$ を構成する誘電体薄膜は、図1に示すような常誘電体薄膜の場合に限られず、図4に示すような強誘電体薄膜であっても構わない。参照用キャパシタ $C_{REF}$ として強誘電体を使用し、図4に示す回路図においてA-B端子間に直接電圧を加えて記憶を読み出す方法についてまず説明する。参照用キャパシタとして強誘電体キャパシタを使用した場合には、読み出す前に参照用キャパシタを一方方向に分極する必要がある。図4に示す回路図において、制御用トランジスタをオンにし、B-C端子間に負の電圧を加えて参照用キャパシタを一方方向に分極させる。次に、制御用トランジスタをオフにし、A-B端子間に記憶用キャパシタと参照用キャパシタに直列に負の読み出し電圧 $V_A$ を加える。

【0047】図5(a)は、記憶用キャパシタ $C_M$ が図中の“1”の状態に書き込まれた場合の、読み出し動作における動作線図を示す。端子Bに負の読み出し電圧 $V_A$ を加えたときに、ストレージノード $N_S$ の電位 $V_G$ は、記憶用キャパシタのP-V曲線と、参照用キャパシタのP-V直線との交点で示され、そのときの電位は $V_G^1$ となる。記憶用キャパシタが反対方向に分極している場合、すなわち“0”の状態に書き込まれた場合の、読み出し動作における動作線図を図5(b)に示す。全く同様の解析から、ストレージノードの電位 $V_G^0$ とが求まる。このように、記憶用キャパシタの反転電圧と参照用キャパシタの和にほぼ相当する読み出し電圧 $V_A$ を加えることで、常誘電体薄膜を参照用キャパシタに使用したときと同様に、記憶状態によりストレージノードで十分な電圧の差 $V_G^1 - V_G^0$ を得ることができる。

【0048】次に、参照用キャパシタ $C_{REF}$ として強誘電体薄膜を使用した場合のプリチャージモードによる読み出しについて説明する。図4に示す回路図において、制御用トランジスタをオンにし、端子AおよびCを等電位に保ったまま端子Bに正の電圧 $V_{pre}$ を加えて参照用キャパシタを反転させるとともにプリチャージ動作を行なう。次に、制御用トランジスタをオフにし、プリチャージ電圧を0にして端子Bを端子AおよびCと等電位に戻す。このときの動作線図を図6(a)および図6

(b)に示す。強誘電体キャパシタの場合は、分極反転後の誘電率は小さいので、プリチャージによって蓄える電荷は小さく、このプリチャージ電荷のみによって記憶用キャパシタを分極反転させることはできない。しかしながら、記憶用キャパシタの分極方向によりP-V曲線が異なるために、ストレージノードの電位差 $V_G^1 - V_G^0$ を同様に得ることができる。この読み出し方法は、強誘電体キャパシタを使用しながら、強誘電体キャパシタを反転せずに読み出せるという利点も有する。

【0049】なお、記憶用キャパシタ $C_M$ として、PZT系、SBT系(特に、ビスマス(Bi))を主成分とす

る $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）、Baリッチ組成のエピタキシャルBSTO系の強誘電体薄膜からなる薄膜キャパシタを使用することが可能である。この内、特に安定性や膜厚などの点でエピタキシャルBSTO系のキャパシタが優れている。また、参照用キャパシタ $C_{\text{REF}}$ として、酸化シリコン( $\text{SiO}_2$ )、酸化タンタル( $\text{Ta}_2\text{O}_5$ )、Srリッチ組成のBSTOを使用した常誘電体キャパシタや、上述の強誘電体キャパシタを使用することができる。

【0050】図7(a)ないし図7(b)は、本発明の基本的な構成を説明するための回路図である。図7(a)は、参照用キャパシタ $C_{\text{REF}}$ の第3および第4の電極間に制御用トランジスタを接続した場合の回路図である。参照用キャパシタ $C_{\text{REF}}$ と並列に制御用トランジスタを設置することにより、ストレージノード $N_s$ のフローティング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。また、書き込み時には参照用キャパシタ $C_{\text{REF}}$ の第3および第4の電極間を制御用トランジスタで短絡して(パスして)記憶用キャパシタ $C_M$ のみに電圧を加えることにより、低電圧書き込みが可能になる。

【0051】また、図7(b)は、前述したように記憶用キャパシタ $C_M$ の第1および第2の電極間に制御用トランジスタを接続した場合を示す。記憶用キャパシタ $C_M$ と並列に制御用トランジスタを設置することにより、ストレージノードのフローティング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。また、読み出し時には、まず記憶用キャパシタ $C_M$ を制御用トランジスタで短絡し、参照用キャパシタ $C_{\text{REF}}$ のみに電圧を加えてプリチャージを行ない、次に制御用トランジスタを遮断状態にし、記憶用キャパシタ $C_M$ の第1および第2の電極間に低電圧の逆電位を加えて、分極状態を反転するプリチャージ併用読み出し方式が可能になる。

【0052】そして、図7(c)は、記憶用キャパシタ $C_M$ の第1および第2の電極間に接続された第1の制御用トランジスタと、参照用キャパシタ $C_{\text{REF}}$ の第3および第4の電極間に接続された第2の制御用トランジスタを具備した場合の回路図である。読み出し時には、まず第1の制御用トランジスタを導通状態とし、記憶用キャパシタ $C_M$ を短絡し、第2の制御用トランジスタを遮断状態とし、参照用キャパシタ $C_{\text{REF}}$ のみに電圧を加えてプリチャージを行なう。一方、書き込み時には、第2の制御用トランジスタを導通状態とし、参照用キャパシタ $C_{\text{REF}}$ の第3および第4の電極間を第2の制御用トランジスタで短絡する(パスする)。そして、第1の制御用トランジスタを遮断状態とし、記憶用キャパシタ $C_M$ のみに電圧を加えることにより、低電圧書き込みが可能になる。また、第1および第2の制御用トランジスタを設置することにより、ストレージノード $N_s$ のフローティ

ング/ショート状態を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。

【0053】図8(a)および図8(b)は、本発明の半導体記憶装置をより高集積化するための具体的な構成をそれぞれ示す回路図である。図8(a)に示される記憶装置は、第1の電極、この第1の電極に対向して配置された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備した複数の記憶用キャパシタ $C_{M0}, C_{M1}, C_{M2}, C_{M3}, \dots$ と、各記憶用キャパシタ $C_{M0}, C_{M1}, C_{M2}, C_{M3}, \dots$ のそれぞれの第1および第2の電極間に接続された制御用トランジスタ $Q_c$ とからなる複数の記憶セルが直列接続された記憶セル列(記憶セルチェーン)と; この記憶セル列(記憶セルチェーン)の端部に位置する記憶用キャパシタ $C_{M0}$ の第1の電極に電気的に結合した第3の電極、この第3の電極に対向して配置された第4の電極、およびこれらの第3、第4の電極に挟まれた誘電体薄膜とを少なくとも具備した参照用キャパシタ $C_{\text{REF}}$ と; 第1および第3の電極に電気的に結合したゲート電極を有する読み出し用トランジスタ $Q_{\text{READ}}$ とを少なくとも具備したメモリセルブロックを示す。

【0054】そして、本発明の半導体記憶装置は、このメモリセルブロックを複数個マトリクス状に配置している。記憶セル列が $n$ 個の記憶セルの直列接続からなるとすれば、記憶セル列(記憶セルチェーン)の他方の端部に位置する記憶用キャパシタ $C_{Mn-1}$ の第2の電極には、選択トランジスタ(ブロック選択トランジスタ) $Q_s$ が接続されている。この $n$ 個の記憶セル、ブロック選択トランジスタ $Q_s$ 、読み出しトランジスタ $Q_{\text{READ}}$ 、および参照用キャパシタ $C_{\text{REF}}$ 等を含んだ1個のブロックの面積を考慮すれば、メモリセルユニットは最小 $4F^2$ のサイズとなるので、メモリセル1個当りの寸法を $(4+20/n)F^2$ ないし $(4+14/n)F^2$ 程度にすることが可能となり、高集積密度化が可能となる。記憶セル列内の特定の記憶用キャパシタ $C_{My}$ を選択するためには、他の記憶用キャパシタに並列接続されている制御用トランジスタ( $n\text{MOSFET}$ )のワード線 $W_L$ をハイレベルとして導通状態とし、対象とした特定の記憶用キャパシタに並列接続されている制御用トランジスタ( $n\text{MOSFET}$ )のワード線 $W_{Ly}$ のみをローレベルとし、その制御用トランジスタ( $n\text{MOSFET}$ )のみを遮断状態とすればよい。

【0055】また、図8(b)に示すように、記憶用キャパシタ $C_{M0}, C_{M1}, C_{M2}, C_{M3}, \dots$ に並列接続されている制御用トランジスタ $Q_c$ を第1の制御用トランジスタとして、さらに参照用キャパシタ $C_{\text{REF}}$ の第3および第4の電極間に第2の制御用トランジスタ $Q_{c2}$ を接続した場合を示す。参照用キャパシタ $C_{\text{REF}}$ と並列に第2の制御用トランジスタ $Q_{c2}$ を設置することにより、ストレージノード $N_s$ のフローティング/ショート状態

を、読み書き時とスタンバイ時で迅速に切り替えて動作速度を速くすることができる。また、書き込み時には参照用キャパシタ $C_{REF}$ の第3および第4の電極間を第2の制御用トランジスタ $Q_{c2}$ で短絡して(パスして)特定の記憶用キャパシタ $C_{Mj}$ のみに電圧を加えることにより、低電圧での書き込みが可能になる。

【0056】図9(a)および図9(b)は、図8(a)および図8(b)の参照用キャパシタ $C_{REF}$ をそれぞれ強誘電体薄膜で構成した場合の回路図である。すなわち、図9(b)は、参照用キャパシタ $C_{REF}$ と並列に第2の制御用トランジスタ $Q_{c2}$ を設置して参照セルを構成した場合で、図9(a)は、参照用キャパシタ $C_{REF}$ に対して並列に第2の制御用トランジスタ $Q_{c2}$ を有しない場合である。参照用キャパシタ $C_{REF}$ を強誘電体薄膜で構成すれば、記憶用キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ ,  $C_{M3}$ , ...と参照用キャパシタ $C_{REF}$ とを同一のプロセスで同時に作成することが可能になり、プロセスの簡略化と製造歩留まりの向上が図られ、非常に大きなメリットがある。

【0057】図10は、本発明の半導体記憶装置をより高集積化するための回路図であり、記憶用キャパシタとして強誘電体キャパシタを使用した例である。すなわち、直列接続された複数の選択用MOSトランジスタ $Q_{M0}-Q_{MN}$ (図中には $Q_{M0}-Q_{M2}$ のみ示す)と、これら選択用トランジスタの共通主電極毎に接続された蓄積電極と対向するプレート電極とに挟まれた強誘電体薄膜からなる記憶用キャパシタ $C_{M0}-C_{MN}$ (同様に、図中には $C_{M0}-C_{M2}$ のみ示す)とからなるNAND型記憶セル列と、前記記憶セル列の端部に位置する前記選択用トランジスタ $Q_{M0}$ の主電極に電気的に結合した参照用キャパシタ $C_{REF}$ と、前記選択用トランジスタの主電極と参照用キャパシタの電極の接続部であるストレートノード $N_s$ に電気的に結合したゲート電極を有する読み出し用トランジスタ $Q_{READ}$ とを少なくとも具備したメモリセルブロックを有する。

【0058】なお、本例においては、参照用キャパシタのストレージノードに接続した電極に対向して設置された他方の電極はプレート電極 $P_E$ に接続され、ストレージノード $N_s$ は、 $R/W$ 制御用トランジスタ $Q_{R/W}$ を介してビット線 $BL$ に接続されている。

【0059】今、記憶セル列の第1番目のキャパシタ $C_{M0}$ の読み出し動作を説明する。トランジスタ $Q_{R/W}$ をオンにし、 $Q_{M0}$ および $Q_{M1}$ をオフにし、ビット線 $BL$ により参照用キャパシタ $C_{REF}$ にプリチャージ電圧 $V_P$ を印加してプリチャージを行なう。次に、トランジスタ $Q_{R/W}$ をオフにしてトランジスタ $Q_{M0}$ をオンにし、読み出し動作を行なう。

【0060】NAND型メモリセル列の第1番目のキャパシタ $C_{M0}$ のメモリ内容を読み出した後は、同じシークエンスを繰り返すことによって、順にキャパシタ $C_{M1}$ ,

$C_{M2}$ , ...,  $C_{Mk}$ , ...,  $C_{MN}$ のメモリ内容を読み出すことができる。すなわち、キャパシタ $C_{Mk}$ のメモリ内容を読み出す場合は、トランジスタ $Q_{R/W}$ および $Q_{M0}$ から $Q_{Mk-1}$ までをすべてオンにし、トランジスタ $Q_{Mk}$ をオフにし、ビット線 $BL$ により参照用キャパシタ $C_{REF}$ および記憶用キャパシタ $C_{M0}$ から $C_{Mk-1}$ にプリチャージ電圧 $V_P$ を印加してプリチャージを行なう。次に、トランジスタ $Q_{R/W}$ をオフにし、トランジスタ $Q_{M0}$ をオフにして読み出し動作を行なう。

【0061】このときに、NAND型セル列の特性として、キャパシタ $C_{Mk}$ のメモリ内容を読み出す場合は、既に読み出された手順の $C_{M0}$ から $C_{Mk-1}$ までのキャパシタの常誘電成分の容量が寄生容量として加わることが問題点としてあげられる。この寄生容量が多くなりすぎると読み出し動作に支障をきたすため、多数の記憶セルを有するNAND型セル列を利用するためには、できるだけ寄生容量を減らす必要がある。すなわち、記憶用強誘電体キャパシタの角型比を上げて常誘電成分を減らすことが有効である。

【0062】一方、書き込みにおいては、NAND型メモリセル列を持つメモリ共通に、ビット線から最も遠いキャパシタから順番に書き込んでいく。キャパシタ $C_{Mk}$ に書き込みを行なう場合には、トランジスタ $Q_{R/W}$ および $Q_{M0}$ から $Q_{Mk}$ までをすべてオンに、 $Q_{Mk+1}$ をオフにし、プレート電極に対してビット線 $BL$ により書き込み電圧 $V_A$ を印加して、メモリ用強誘電体キャパシタに抗電圧以上の電圧を印加することにより書き込みを行なう。

【0063】本発明によれば、記憶セル列、参照用キャパシタおよび読み出し用トランジスタからなる基本回路構成に、さまざまな回路構成を付加することが可能である。図15(a)ないし図15(d)はその幾つかの例を示している。

【0064】図15(a)に示す回路においては、(1)参照用キャパシタ $C_{REF}$ のストレージノード $N_s$ と接続した電極と対向して設置された他方の電極のプレート電極 $P_E$ に接続し、 $R/W$ 制御用トランジスタ $Q_{R/W}$ をストレージノード $N_s$ とビット線 $BL$ との間に設置した。

【0065】この回路においてはプリチャージによる読み出し動作のみが可能であるが、書き込み動作においては、記憶用キャパシタに対して書き込み電圧を直接印加することが可能になる。

【0066】図15(b)に示す回路においては、(2)参照用キャパシタ $C_{REF}$ のストレージノード $N_s$ と接続した電極と対向して設置された他方の電極を第2の駆動線 $DL$ (ドライブ線と呼んでも良いし、相補的なビット線 $BL$ でも良い)に接続し、 $R/W$ 制御用トランジスタ $Q_{R/W}$ をストレージノード $N_s$ とビット線 $BL$ との間に設置している。

【0067】この回路においては、プリチャージ動作時

において、プレート電極電位に対して相補的な電位をB<sub>L</sub>とD<sub>L</sub>の間に加えることが可能になるので、大電圧のプリチャージによる、動作電圧の低電圧化と動作速度の高速化が可能になる。また、書き込み動作においては、記憶用キャパシタに対して書き込み電圧を直接印加することが可能になる。

【0068】図15(c)に示す回路においては、

(3) 参照用キャパシタC<sub>REF</sub>のストレージノードN<sub>S</sub>と接続した電極と対向して設置された他方の電極をビット線B<sub>L</sub>に接続し、R/W制御用トランジスタQ<sub>R/W</sub>を参照用キャパシタC<sub>REF</sub>と並列にストレージノードN<sub>S</sub>とビット線B<sub>L</sub>との間に設置している。

【0069】この回路においては、読み出し電圧印加による読み出し動作のみが可能であるが、書き込み動作においては直接記憶用キャパシタへの書き込み電圧印加が可能になる。

【0070】さらに、図15(d)に示す回路においては、(4) 参照用キャパシタC<sub>REF</sub>のストレージノードN<sub>S</sub>と接続した電極と対向して設置された他方の電極をビット線B<sub>L</sub>に接続し、第1のR/W制御用トランジスタQ<sub>R/W1</sub>を参照用キャパシタC<sub>REF</sub>と並列にストレージノードN<sub>S</sub>とビット線B<sub>L</sub>との間に設置すると共に、第2のR/W制御用トランジスタQ<sub>R/W2</sub>をストレージノードN<sub>S</sub>とプレート電極P<sub>E</sub>との間に設置している。

【0071】この回路においては、プレチャージを併用した読み出し動作が可能であり、さらに直接記憶用キャパシタへの書き込み電圧印加が可能になる。

【0072】このように、基本的な構成に若干の素子を付加することにより、多様な読み出しおよび書き込みモードに対応することが可能である。

【0073】なお、図15(d)に示す回路において、参照用キャパシタC<sub>REF</sub>として常誘電体キャパシタの代わりに強誘電体キャパシタを使用するようにしても良い。この場合、記憶セル列の第1番目のキャパシタC<sub>M0</sub>を例にとってその読み出し動作を説明する。トランジスタQ<sub>R/W1</sub>をオフにQ<sub>R/W2</sub>をオンにし、参照用の強誘電体キャパシタの抗電圧以上のプレチャージ電圧V<sub>P</sub>をプレート電極P<sub>E</sub>とビット線B<sub>L</sub>の間に印加して、参照用キャパシタを一方方向に分極させる。次にビット線B<sub>L</sub>の電位をプレート電極P<sub>E</sub>と同電位に戻して、トランジスタQ<sub>M0</sub>をオンにし、ビット線B<sub>L</sub>により参照用キャパシタC<sub>REF</sub>および記憶用キャパシタC<sub>M0</sub>に直列に、プレート電極電位に対してプレチャージ電圧とは逆方向の読み出し電圧V<sub>A</sub>を印加して読み出し動作を行なう。このときのストレージノードN<sub>S</sub>の動作線図は、常誘電体を使用した参照用キャパシタと基本的に類似の動作をすることが理解できる。予め記憶用キャパシタの“1”あるいは“0”の記憶に対応する分極状態に応じて、異なったストレージノードN<sub>S</sub>の電圧V<sub>G1</sub>ないしはV<sub>G0</sub>が得られる

ことが分かる。ストレージノードN<sub>S</sub>にゲート電極を接続した読み出し用トランジスタQ<sub>READ</sub>により記憶状態の判別を行なう。

【0074】書き込みにおいては、トランジスタQ<sub>R/W1</sub>をオンにすると共に、トランジスタQ<sub>R/W2</sub>をオフとし、トランジスタQ<sub>M0</sub>をオンにして、ビット線B<sub>L</sub>により記憶用キャパシタC<sub>M0</sub>に書き込み電圧V<sub>A</sub>を直接印加して書き込み動作を行なう。

【0075】次に、記憶用キャパシタとして、図11

(a)および図11(b)に示すように、強誘電ヒステリシスの中心が0Vからずれた非対称な強誘電キャパシタを使用する場合について説明する。このような非対称強誘電体キャパシタは、エピタキシャル強誘電体膜を使用した場合にしばしば観察される(例えば、K. Abe, S. Komatsu, N. Yanase, K. Sano and T. Kawakubo: 'Asymmetric Ferroelectricity and Anomalous Current Coinduction in Heteroepitaxial BaTiO<sub>3</sub> Thin Films', Japan Journal of Applied Physics, Vol.36, Part 1, No.9B, pp.5846-53(1997))。

【0076】非対称キャパシタにおいては、図11

(a)に示すように、片方の分極状態が安定で、他方の分極状態は準安定であるため、不揮発性メモリとしては使用することができない。しかしながら、図11(b)に示すように、ヒステリシスの中心のずれに相当する電圧V<sub>F</sub>を印加することにより、通常の強誘電体キャパシタと同様に、2方向の分極を安定に保持することができる。したがって、本発明の回路は、静的に記憶を保持するSRAM(Static Random Access Memory)としての利用が可能である。

【0077】すなわち、記憶を保持するだけのスタンバイ時には、トランジスタQ<sub>M0</sub>からQ<sub>MN</sub>をすべてオンにして、ビット線などを通じてキャパシタC<sub>M0</sub>からC<sub>MN</sub>に常にヒステリシスの中心のずれに相当する電圧V<sub>F</sub>を印加することによって安定に記憶を保持する。一方、読み出し・書き込み時にはトランジスタQ<sub>M0</sub>からQ<sub>MN</sub>のすべてを一旦オフにし、上述した通常の強誘電体キャパシタを使用したときと同様のシークエンスにより読み出し・書き込みを行なうことができる。なお、図11(a)および図11(b)に示したような、中心電圧が正にシフトした強誘電体キャパシタでは読み出し電圧を負電圧に、逆に中心電圧が負にシフトした強誘電体キャパシタでは読み出し電圧を正電圧にすることが回路動作上有利である。

【0078】次に、記憶用キャパシタとして常誘電体キャパシタを使用した場合について説明する。図12は図15(a)に示す回路において、記憶用キャパシタC<sub>M</sub>として強誘電体キャパシタの代わりに、非線形の蓄積容量を持つ常誘電体キャパシタを使用した場合の回路例である。図12に示した回路において、記憶セル列の第1番目のキャパシタC<sub>M0</sub>を例にとり読み出し動作を説明する。トランジスタQ<sub>R/W</sub>をオンに、トランジスタQ<sub>M0</sub>

をオフにし、ビット線BLにより参照用キャパシタC<sub>REF</sub>にプリチャージ電圧V<sub>P</sub>を印加してプリチャージを行なう。次に、ビット線BLの電位をプレート電極PEと同電位に戻し、トランジスタQ<sub>R/W</sub>をオフにし、トランジスタQ<sub>M0</sub>をオンにして読み出し動作を行なう。このときのストレージノードN<sub>S</sub>の動作線図が図13(a)および図13(b)に示されているが、強誘電体を使用した記憶用キャパシタと基本的に類似の動作をすることが理解できる。予め記憶用キャパシタの“1”または“0”の記憶に対応する分極状態に応じて、異なるストレージノードN<sub>S</sub>の電圧V<sub>G1</sub>ないしV<sub>G0</sub>が得られることが分かる。ストレージノードN<sub>S</sub>にゲート電極を接続した読み出し用トランジスタQ<sub>READ</sub>により記憶状態の判別を行なう。

【0079】NAND型メモリセル列の第1番目のキャパシタC<sub>M0</sub>のメモリ内容を読み出した後は、同じシフトエンスを繰り返すことによって、順にキャパシタC<sub>M1</sub>, C<sub>M2</sub>, ..., C<sub>Mk</sub>, ..., C<sub>MN</sub>のメモリ内容を読み出すことができる。すなわち、キャパシタC<sub>Mk</sub>のメモリ内容を読み出す場合は、トランジスタQ<sub>R/W</sub>およびトランジスタQ<sub>M0</sub>からQ<sub>Mk-1</sub>までをすべてオンにし、Q<sub>Mk</sub>をオフにし、ビット線BLにより参照用キャパシタC<sub>REF</sub>にプリチャージ電圧V<sub>P</sub>を印加してプリチャージを行なう。次にトランジスタQ<sub>R/W</sub>をオフにし、トランジスタQ<sub>Mk</sub>をオンにして読み出し動作を行なう。

【0080】ただし、常誘電体キャパシタを使用したNAND型セル列の問題点として、キャパシタC<sub>Mk</sub>のメモリ内容を読み出す場合は、既に読み出された手前のC<sub>M0</sub>からC<sub>Mk-1</sub>までのキャパシタの容量が寄生容量として加わることがあげられる。この寄生容量が多くなりすぎると読み出し動作に支障をきたすため、多数の記憶セルを有するNANDセル列を利用するためには、できるだけ寄生容量を減らす必要がある。

【0081】通常の酸化シリコン膜や窒化シリコン膜を使用したキャパシタにおいては、バイアス電圧に拘わらず常に誘電率は一定であるため、NAND型セル列の各記憶用キャパシタをメモリセルとして使用したときの蓄積容量と、メモリセルの手前側の寄生キャパシタとして働いたときの寄生容量は同一である。したがって、すべての記憶用キャパシタと参照用キャパシタの容量とを同一に設定した場合、読み出し時の参照用キャパシタと寄生キャパシタを加えた総容量は、読み出す記憶用キャパシタの位置に比例して増加することになる。すなわち、k番目のキャパシタを読み出すときの読み出し側のキャパシタの総容量は、参照用キャパシタ容量のk倍になり、総容量の増加にはほぼ反比例して読み出し電圧は減少するため、読み出し用トランジスタが動作しなくなる。

【0082】この問題を軽減する1つの方法は、非線形な容量を持つ誘電体膜を使用することである。酸化シリコン膜や窒化シリコン膜は電子分極性であるために誘電

率は一定であるが、ペロブスカイト型酸化物強誘電体のようなイオン分極性の誘電体は誘電率のバイアス電圧依存性があり、非線形な容量特性をもつキャパシタを作成することができる。図14にエピタキシャルBSTO常誘電体膜で測定された非線形性の大きな常誘電体キャパシタの大きな特性を示すが、±数Vのバイアス電圧を加えることで静電容量は急減し、数分の1以下になる。したがって、電荷を蓄積するときは、0V付近の容量が大きい領域を有効に使用し、寄生キャパシタとして作用するときには、プリチャージによりバイアス電圧を印加し、容量の小さいところを使用するという使い分けが可能となる。このような非線形容量キャパシタを使用することで、多くの常誘電体キャパシタメモリセルを含むNAND型メモリセル列の利用が可能になる。なお、動作電圧範囲内において、ピークの静電容量値が、最低の静電容量値の2倍以上であることが望ましい。

【0083】書き込み動作においては、強誘電体のキャパシタと同様である。トランジスタQ<sub>R/W</sub>およびQ<sub>M0</sub>からQ<sub>Mk</sub>をオンにして、ビット線BLにより記憶用キャパシタC<sub>Mk</sub>に書き込み電圧V<sub>A</sub>を直接印加して書き込み動作を行なう。なお、前述したように、参照用キャパシタの誘電体膜は、常誘電体であっても強誘電体であっても構わない。強誘電体膜であっても読み出し動作の前にプリチャージにより予め一方方向に分極をしておけば、常誘電体膜と同じように読み出し動作を行なうことができる。記憶用キャパシタが強誘電体キャパシタである場合は参照用キャパシタも強誘電体キャパシタに、記憶用キャパシタが常誘電体キャパシタの場合は参照用キャパシタも常誘電体キャパシタにすれば、記憶用キャパシタと参照用キャパシタを同一のプロセスで作成可能になり、プロセスの簡略化と製造歩留まりの向上を図ることができ、非常に大きなメリットがある。

【0084】また、前述したように、NAND型記憶セル列において、参照用キャパシタから遠いメモリを選択すると、参照用キャパシタと選択された記憶用キャパシタの間に存在する記憶用キャパシタの常誘電成分が、読み出しモードに応じて、参照用キャパシタの容量に足し合わせられたり、あるいは選択された記憶用キャパシタの容量に足し合わされるため、記憶の読み出し動作に影響する場合が考えられる。この場合には、各位置の記憶用キャパシタの容量を読み出しモードに応じて、参照用キャパシタの容量と記憶用キャパシタの常誘電成分からなる寄生容量の和に対してなるべく1:1に近くなるように調節することにより解決することができる。具体的には、参照用キャパシタに近い記憶用キャパシタの残留分極量より、参照用キャパシタからより遠い記憶用キャパシタの残留分極量を、読み出しモードに応じて、徐々に大きくするかまたは徐々に小さくすることである。

【0085】なお、記憶用の強誘電体キャパシタとして、PZT(チタン酸ジルコン酸鉛)系、SBT(チタ

ン酸ストロンチウム・ビスマス)系、エピタキシャルB  
STO(チタン酸バリウム・ストロンチウム)系の強誘  
電体層からなる薄膜キャパシタを使用することが可能で  
あるが、特に安定性や膜厚などの点でエピタキシャルB  
STO系のキャパシタが優れている。

【0086】また、記憶用の常誘電体キャパシタとし  
て、酸化シリコンや酸化タンタルなどの誘電膜を使用す  
ることも可能であるが、容量の絶対値や非線形性の大き  
さの点から考えると、エピタキシャルB STO系の常誘  
電体キャパシタが特に優れている。また、参照用のキャ  
パシタとして、酸化シリコン、酸化タンタル、B STO  
を使用した常誘電体キャパシタや、上述の強誘電体キャ  
パシタを使用することができる。

【0087】以上で本発明の基本的事項は理解できたで  
あろう。次に、図面を参照して、本発明の第1ないし第  
12の実施形態を説明する。以下の図面の記載におい  
て、同一又は類似の部分には同一又は類似の符号を付し  
ている。ただし、図面は模式的なものであり、厚みと平  
面寸法との関係、各層の厚みの比率等は現実のものとは  
異なることに留意すべきである。したがって、具体的な  
厚みや寸法は以下の説明を参照して判断すべきものであ  
る。また図面相互間において互いの寸法の関係や比率が  
異なる部分が含まれていることは勿論である。

【0088】(第1実施形態)図16は、本発明の第1  
実施形態に係る半導体記憶装置の主要部分の回路構成を  
示す図である。図16に示すように、本発明の第1実施  
形態に係る半導体記憶装置は、直列接続された複数の  
記憶用キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ , ...,  $C_{M15}$ と、こ  
の記憶用キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ , ...,  $C_{M15}$ のそ  
れぞれに並列接続された制御用トランジスタとからなる  
記憶セル列(記憶セルチェーン)と、この記憶セルチェ  
ーンの端部に位置する記憶用キャパシタ $C_{M15}$ に接続し  
た参照用キャパシタ $C_{REF}$ と、記憶用キャパシタ $C_{M15}$ と  
参照用キャパシタ $C_{REF}$ との接続点(接続ノード)に接  
続したゲート電極を有する読み出し用トランジスタ $Q_{READ}$   
と、記憶セルチェーンの他方の端部に位置する記憶  
用キャパシタ $C_{M0}$ に接続された選択トランジスタ(ブロ  
ック選択トランジスタ) $Q_S$ を少なくとも具備したメモ  
リセルブロックを基本ユニットとして構成している。

【0089】各記憶用キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ ,  
...,  $C_{M15}$ は、それぞれ第1の電極、この第1の電極に  
対向して配置された第2の電極、およびこれらの第1、  
第2の電極に挟まれた強誘電体薄膜とを少なくとも具備  
している。また、参照用キャパシタ $C_{REF}$ は、記憶用キャ  
パシタ $C_{M15}$ の第1の電極に電気的に結合した第3の  
電極、この第3の電極に対向して配置された第4の電  
極、およびこれらの第3、第4の電極に挟まれた誘電体  
薄膜とを少なくとも具備している。なお、図8(a)お  
よび図8(b)とは記憶用キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  
 $C_{M2}$ , ...,  $C_{M15}$ の配列順が逆になっているが、単なる

順番の問題にすぎないことに留意されたい。そして、本  
第1実施形態の半導体記憶装置は、このメモリセルブロ  
ックを複数のマトリクス状に配置しているが、図16  
ではそのうちブロック[A]として2つ、ブロック  
[B]として2つの計4つのみを示している。ブロック  
[A]の上段カラム(column)のブロック選択トランジ  
スタ $Q_S$ は、ビット線 $BL_0$ に接続され、ブロック  
[A]の下段カラムのブロック選択トランジスタ $Q_S$ は  
ビット線 $BL_1$ に接続されている。また、ブロック  
[B]上段カラムのブロック選択トランジスタ $Q_S$ は、  
ビット線 $BL_0$ に、下段カラムのブロック選択トランジ  
スタ $Q_S$ はビット線 $BL_1$ に接続されている。

【0090】ブロック[A]の記憶用キャパシタ $C_{M0}$ ,  
 $C_{M1}$ ,  $C_{M2}$ , ...,  $C_{M15}$ のそれぞれに並列接続された制  
御用トランジスタの各ゲート電極には、ワード線 $WL_0$   
 $A$ ,  $WL_1A$ ,  $WL_2A$ , ...,  $WL_{15}A$ が接続されて  
いる。同様にブロック[B]の記憶用キャパシタ $C_{M0}$ ,  
 $C_{M1}$ ,  $C_{M2}$ , ...,  $C_{M15}$ のそれぞれに並列接続された制  
御用トランジスタの各ゲート電極には、ワード線 $WL_0$   
 $B$ ,  $WL_1B$ ,  $WL_2B$ , ...,  $WL_{15}B$ が接続されて  
いる。ブロック[A]のブロック選択トランジスタ $Q_S$   
の各ゲート電極には、ブロック選択トランジスタのワー  
ド線 $BSA$ が、ブロック[B]のブロック選択トランジ  
スタ $Q_S$ の各ゲート電極には、ブロック選択トランジス  
タのワード線 $BSB$ が接続されている。ブロック[A]  
の参照用キャパシタ $C_{REF}$ には、ゲート電極に参照用キ  
ャパシタ制御トランジスタ $Q_{REF}$ のワード線 $WRA$ が接  
続された制御トランジスタ $Q_{REF}$ が、ブロック[B]の  
参照用キャパシタ $C_{REF}$ には、ゲート電極に参照用キ  
ャパシタ制御トランジスタのワード線 $WRB$ が接続された  
制御用トランジスタ $Q_{REF}$ が接続されている。

【0091】各メモリセルブロックの読み出し用トラン  
ジスタ $Q_{READ}$ の一方の主電極には、読み出し用電源線 $V$   
 $LA$ ,  $VLB$ が、他方の主電極には読み出し出力線 $SL$   
 $A$ ,  $SLB$ が接続されている。この実施形態において  
は、読み出しトランジスタ $Q_{READ}$ に交互に接続される2  
組の読み出し出力線 $SLA$ および $SLB$ が設けられてい  
る。さらに、ブロック[A]の参照用キャパシタ制御ト  
ランジスタとブロック[B]の参照用キャパシタ制御ト  
ランジスタとの接続点には、プレート線 $PL$ が接続され  
ている。図16において、記憶用キャパシタ $C_{M0}$ ,  
 $C_{M1}$ ,  $C_{M2}$ , ...,  $C_{M15}$ のそれぞれに並列接続された制  
御用トランジスタ、読み出し用トランジスタ $Q_{READ}$ 、ブ  
ロック選択トランジスタ $Q_S$ 、および参照用キャパシタ  
制御トランジスタ $Q_{REF}$ は、nMOSFETで示されて  
いるが、pMOSFETで構成することも可能である。

【0092】図17は周辺回路を含めた接続図を示して  
いる。ブロック[A]の各ワード線 $WL_0A$ ,  $WL$   
 $1A$ ,  $WL_2A$ , ...,  $WL_{15}A$ は、ローデコーダ $A4$   
 $02$ に、ブロック[B]の各ワード線 $WL_0B$ ,  $WL_1$

$B^B$ ,  $WL2^B$ , ...,  $WL15^B$  はローデコーダB401に、各ビット線 $BL0$ ,  $BL1$ , ... はカラムデコーダ411に接続されている。

【0093】図16および図17に示す構成において、ブロック[A]内の $BLx$  ( $x=0, 1$ )と $WLy^A$  ( $y=0, 1, 2, \dots, 15$ )の交点で指定される所望の記憶セルを選択するには、ワード線 $BS^A$ を“1”(ハイレベル)としてブロック選択トランジスタ $Qs$ をオンに、 $WLy^A$ のみを“0”(ローレベル)として、記憶用キャパシタ $CMy$ に接続された制御用トランジスタをオフにし、それ以外の $WLA$ を“1”にし、電位一定(例えば $(1/2)V_G$ )のプレート線 $PL$ に対して、 $BLx$ に電位を加えることで達成される。読み出し時には、参照用キャパシタ制御トランジスタのワード線 $WR^A$ をオフに、書き込み時にはワード線 $WR^A$ をオンにする。同様に、ブロック[B]内の $BLx$  ( $x=0, 1$ )と $WLy^B$  ( $y=0, 1, 2, \dots, 15$ )の交点で指定される所望の記憶セルを選択するには、ワード線 $BS^B$ を“1”としてブロック選択トランジスタ $Qs$ をオンに、 $WLy^B$ のみを“0”として、記憶用キャパシタ $CMy$ に接続された制御用トランジスタをオフに、それ以外の $WL^B$ を“1”にし、電位一定(例えば $(1/2)V_G$ )のプレート線 $PL$ に対して、 $BLx$ に電位を加えることで達成される。読み出し時には、参照用キャパシタ制御トランジスタのワード線 $WR^B$ を“0”に、書き込み時にはワード線 $WR^B$ を“1”にする。

【0094】図18には、さらに「プリチャージ読み出し方式」を採用した場合の読み出し/書き込みシーケンスを示す。すなわち、プリチャージ読み出し方式においては、 $WLy^A$ ,  $WLy^B$ を選択する前に参照用キャパシタ $CREF$ のキャパシタに逆電圧を加え、 $WLy^A$ ,  $WLy^B$ を選択した後に正電圧を加えることにより、記憶用キャパシタ $CMy$ に2倍程度の電圧を実質的に加えて反転させるものである。

【0095】図19(a)は、メモリセルブロックを示す平面図で、簡略化のために、図19(b)に示す断面図におけるA-A'線のレベルよりも下層のみを示す。図19(a)において、 $n^+$ ソース/ドレイン領域21, 22とポリシリコンゲート電極となるワード線 $BS^B$ とで、ブロック[B]のブロック選択トランジスタ $Qs$ が構成されている。ここで、「 $n^+$ ソース/ドレイン領域」とは、MOSFETのソース領域もしくはドレイン領域の何れかの意である。通常、MOSFETのソース領域およびドレイン領域は、ゲート電極を中心にして対称に形成されているので、何れをMOSFETのソース領域と呼ぶか、MOSFETのドレイン領域と呼ぶかは、単なる呼び方の問題にすぎない。 $n^+$ ソース/ドレイン領域21は、「ビット線接続部」として機能する。同様に、 $n^+$ ソース/ドレイン領域22, 23とポリシリコンゲート電極となるワード線 $WL0^B$ とで、ブロッ

ク[B]の記憶用キャパシタ $Cm0$ に並列接続された制御用トランジスタが構成されている。さらに、 $n^+$ ソース/ドレイン領域23, 24とワード線 $WL1^B$ とで、記憶用キャパシタ $Cm1$ に並列接続された制御用トランジスタが、 $n^+$ ソース/ドレイン領域24, 25とワード線 $WL2^B$ とで、記憶用キャパシタ $Cm2$ に並列接続された制御用トランジスタが、...、 $n^+$ ソース/ドレイン領域26(図示せず), 27とワード線 $WL15^B$ とで、記憶用キャパシタ $Cm15$ に並列接続された制御用トランジスタが形成されている。 $n^+$ ソース/ドレイン領域23, 25, ..., 26には、各記憶用キャパシタ $Cm0$ ,  $Cm1$ ,  $Cm2$ , ...,  $Cm15$ の第1の電極もしくは第2電極として機能する下部電極42, 43, ..., 44が接続されている。また $n^+$ ソース/ドレイン領域31, 32とポリシリコンゲート電極531、ないしは領域32, 33とゲート電極532とで読み出し用トランジスタ $QREAD$ が形成されている。 $n^+$ ソース/ドレイン領域31は、列(ロー)方向に沿って形成されて読み出し出力線 $SL^B$ を兼ねており、 $n^+$ ソース/ドレイン領域32も列(ロー)方向に形成されて読み出し用電源線 $VL^B$ を兼ねている。そして、 $n^+$ ソース/ドレイン領域28, 29とワード線 $WR^B$ とで、参照用キャパシタ制御トランジスタが形成されている。 $n^+$ ソース/ドレイン領域29は、「プレート線接続部」として機能し、プレート線 $PL$ が接続されている。このプレート線 $PL$ は、参照用キャパシタ $CREF$ の第4の電極として機能する下部電極45を兼ねている。主としてブロック[B]について説明するが、ブロック[A]もブロック[B]と同様の構成を備えている。

【0096】図19(a)に示すように、ビット線接続部とプレート線接続部に挟まれた1個のブロック[A]又はブロック[B]内に、それぞれブロック選択トランジスタ $Qs$ 、 $n$ 個の記憶用キャパシタ $Cm0$ ,  $Cm1$ ,  $Cm2$ ,  $Cm3$ , ...,  $Cm15$ およびこれらに並列接続された $n$ 個の制御用トランジスタ、読み出しトランジスタ $QREAD$ 、参照用キャパシタ $CREF$ 、および参照用キャパシタ制御トランジスタが含まれる。記憶セルの寸法は $4F^2$ 、ブロックあたりのコンタクト部を含めた記憶セル以外の領域は $28F^2$ であるから、メモリセル1個当たり $(4+28/n)F^2$ になる。第1の実施の形態では強誘電体キャパシタとして $20\mu C/cm^2$ の残留分極を有するものを使用したため、16個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、1個当たり $5.8F^2$ の寸法になった。

【0097】図19(b)は図19(a)に示す平面図のB-B'方向に沿った断面図である。図19(b)に示すように、本発明の第1実施形態に係る半導体記憶装置は、半導体基板11上にpウェル12を形成し、このpウェル12の表面に、 $n^+$ ソース/ドレイン領域21, 22, 23, ..., 30を設けている。そして、pウ



27

エル12の表面のゲート酸化膜の上に、ポリシリコンゲート電極となるワード線 $BS^B$ 、 $WL0^B$ 、 $WL1^B$ 、 $WL2^B$ 、…、 $WL15^B$ 、 $WR^B$ および $WRA^A$ を有している。なお、図19(b)の断面図には、ポリシリコンゲート電極532の配線部の断面も露出している。図19(b)では、単層のポリシリコンゲート電極を示しているが、単層のポリシリコンゲート電極の代わりに、ポリシリコンゲート層とWゲート層等とからなる2層構造でもよい。Wゲート層の他にTi、Mo、Co等の高融点金属、あるいは $WSi_2$ 、 $TiSi_2$ 、 $MoSi_2$ 、 $CoSi_2$ 等の高融点金属のシリサイドなどを用いても良い。

【0098】 $n^+$ ソース/ドレイン領域21、22とワード線 $BS^B$ とで、ブロック選択トランジスタ $Q_S$ が構成されている。 $n^+$ ソース/ドレイン領域22、23とワード線 $WL0^B$ とで、記憶用キャパシタ $C_{M0}$ に並列接続された制御用トランジスタが構成されている。さらに、 $n^+$ ソース/ドレイン領域23、24とワード線 $WL1^B$ とで、記憶用キャパシタ $C_{M1}$ に並列接続された制御用トランジスタが、 $n^+$ ソース/ドレイン領域24、25とワード線 $WL2^B$ とで、記憶用キャパシタ $C_{M2}$ に並列接続された制御用トランジスタが、…、 $n^+$ ソース/ドレイン領域26(図示せず)、27とワード線 $WL15^B$ とで、記憶用キャパシタ $C_{M15}$ に並列接続された制御用トランジスタが形成されている。そして、 $n^+$ ソース/ドレイン領域28、29とワード線 $WR^B$ とで、参照用キャパシタ制御トランジスタが形成されている。ワード線 $BS^B$ 、 $WL0^B$ 、 $WL1^B$ 、 $WL2^B$ 、…、 $WL15^B$ 、 $WR^B$ および $WRA^A$ の上には酸化膜( $SiO_2$ 膜)、PSG膜、BPSG膜、窒化膜( $Si_3N_4$ 膜)等からなる第1の層間絶縁膜13が形成され、この第1の層間絶縁膜13の上に、各記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $C_{M33}$ 、…、 $C_{M15}$ の第1の電極もしくは第2の電極として機能する下部電極42、43、…、および45が形成されている。さらに、第1の層間絶縁膜13の上には、プレート線PLを兼ねた、参照用キャパシタ $C_{REF}$ の第4の電極として機能する下部電極45も形成されている。下部電極42、43、…、および45は、第1の層間絶縁膜13中に設けられたコンタクトホールを埋め込むように形成されたコンタクトプラグ73、75、80により、 $n^+$ ソース/ドレイン領域23、25、…、29と接続している。これらのコンタクトプラグは、不純物の添加した多結晶シリコン(ドーパドポリシリコン)、高融点金属や高融点金属のシリサイド等で構成すればよい。下部電極42は、記憶用キャパシタ $C_{M0}$ の第1の電極および記憶用キャパシタ $C_{M1}$ の第2の電極として機能する。下部電極43は、記憶用キャパシタ $C_{M2}$ の第1の電極および記憶用キャパシタ $C_{M3}$ の第2の電極として機能する。…下部電極44は、記憶用キャパシタ $C_{M14}$ の第1の電極および記憶用

28

キャパシタ $C_{M15}$ の第2の電極として機能する。下部電極42、43、…、44、45は膜厚10nmの(Ti、Al)Nからなる下部バリア金属層と、膜厚20nmの $SrRuO_3$ からなる下部電極との2層構造で構成すればよい。そして、この下部電極42、43、…、44の上に、例えば、厚さ25nmのBaリッチ組成のBSTO薄膜等の強誘電体薄膜51、52、…、53を形成し、パターンニングすればよい。また、参照用キャパシタ $C_{REF}$ の下部電極45の上には、厚さ25nmのSrリッチ組成のBSTO薄膜等の常誘電体薄膜54を形成すればよい。なお、参照用キャパシタ $C_{REF}$ 用の常誘電体薄膜54としては、酸化シリコン( $SiO_2$ )、酸化タンタル( $Ta_2O_5$ )等を用いても良く、強誘電体薄膜を使用することができる。強誘電体薄膜51、52、…、53、常誘電体薄膜54が形成されていない第1の層間絶縁膜13の上には、酸化膜( $SiO_2$ 膜)、PSG膜、BPSG膜、窒化膜( $Si_3N_4$ 膜)等からなる第2の層間絶縁膜14が形成され、この第2の層間絶縁膜14の上には、上部電極61、62、…、63が形成されている。上部電極61は、記憶用キャパシタ $C_{M0}$ の第2の電極として機能する。上部電極62は、記憶用キャパシタ $C_{M1}$ の第1の電極および記憶用キャパシタ $C_{M2}$ の第2の電極として機能する。…上部電極63は、記憶用キャパシタ $C_{M15}$ の第1の電極および参照用キャパシタ $C_{REF}$ の第3の電極として機能する。上部電極61、62、…、63は、厚さ20nmの $SrRuO_3$ 膜からなる上部電極と、さらにこの上に形成された膜厚10nmの(Ti、Al)Nの上部バリア金属層の2層構造で形成すればよい。上部電極61、62、…、63、64は、第1の層間絶縁膜13および第2の層間絶縁膜14を貫通して設けられたコンタクトホールを埋め込むように形成されたコンタクトプラグ72、74、77、79により、 $n^+$ ソース/ドレイン領域22、24、…、27、28と接続されている。これらのコンタクトプラグ72、74、77、79は、ドーパドポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。さらに、上部電極63は、第1の層間絶縁膜13および第2の層間絶縁膜14を貫通して設けられたコンタクトプラグ78を介して、読み出し用トランジスタ $Q_{READ}$ のポリシリコンゲート電極の配線部532と接続している。ポリシリコンゲート電極の配線部532は、コンタクトプラグ78を設けるために、デバイス部のポリシリコンゲート電極より太くパターンニングされている。上部電極61、62、…、63の上には、酸化膜( $SiO_2$ 膜)、PSG膜、BPSG膜、窒化膜( $Si_3N_4$ 膜)等からなる第3の層間絶縁膜15が形成され、この第3の層間絶縁膜15の上には、ビット線16が形成されている。ビット線16と $n^+$ ソース/ドレイン領域21とは、第1ないし第3の層間絶縁膜13、14、15を貫通したビット線コンタクトプラグ71により互いに



接続されている。ビット線コンタクトプラグ71は、ドーパドポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。図示を省略しているが、さらにビット線16の上には、酸化膜( $\text{SiO}_2$ 膜)、PSG膜、BPSG膜、窒化膜( $\text{Si}_3\text{N}_4$ 膜)、あるいはポリイミド膜などのパッシベーション膜を形成することが好ましい。主としてブロック[B]について説明したが、ブロック[A]も同様の構成を有しており、このような回路構成により、非常に高集積化された不揮発性メモリの動作が確認できた。

【0099】(第2実施形態)図20は、本発明の第2実施形態に係る半導体記憶装置の主要部分の回路構成を示し、図21は図17と同様に周辺回路まで含めた主要構成を示す図である。この第2実施形態は、第1実施形態に示したプレート線を使用せず、隣接するビット線の間に動作電圧を印加する構造を備えている。

【0100】図20に示すように、第2実施形態に係る半導体記憶装置は、直列接続された複数個の記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ と、この記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ のそれぞれに並列接続された制御用トランジスタとからなる記憶セル列(記憶セルチェーン)と、この記憶セルチェーンの一方の端部に接続した「参照セルと選択トランジスタ(ブロック選択トランジスタ) $Q_S$ との直列回路」と、記憶セルチェーンの他方の端部に接続したゲート電極を有する読み出し用トランジスタ $Q_{READ}$ とを具備したサブブロックを基本ユニットとして構成している。ここで、「参照セル」は、既に定義したように、参照用キャパシタ $C_{REF}$ と参照用キャパシタ制御トランジスタとの並列回路からなる。記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ は、それぞれ第1の電極、この第1の電極に対向して配置された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備している。参照用キャパシタ $C_{REF}$ は、第3の電極、この第3の電極に対向して配置された第4の電極、およびこれらの第3、第4の電極に挟まれた誘電体薄膜とを少なくとも具備している。上記「参照セルと選択トランジスタ(ブロック選択トランジスタ) $Q_S$ との直列回路」は、2通りの組み合わせがあり、参照用キャパシタ $C_{REF}$ の第3の電極が記憶用キャパシタ $C_{M0}$ の第1の電極に接続される場合と、ブロック選択トランジスタ $Q_S$ が記憶用キャパシタ $C_{M0}$ の第1の電極に接続される場合とがある。

【0101】そして、この第2実施形態に係る半導体装置は、このメモリセルブロックを複数個マトリクス状に配置しているが、1個の読み出しトランジスタ $Q_{READ}$ を中心にして、右にサブブロック[A]、左にサブブロック[B]の2個のサブブロックに別れている。図20ではそのうちサブブロック[A]として2つ、サブブロック[B]として2つの計4つのみを示している。図2

0の1段目とカラムのサブブロック[A]、および2段目のカラムのサブブロック[B]は、参照用キャパシタ $C_{REF}$ の第3の電極が記憶用キャパシタ $C_{M0}$ の第1の電極に接続されている。一方、2段目のカラムのサブブロック[A]、および1段目のカラムのサブブロック[B]は、ブロック選択トランジスタ $Q_S$ が記憶用キャパシタ $C_{M0}$ の第1の電極に接続されている。1段目のカラムのサブブロック[B]の参照用キャパシタ $C_{REF}$ の第4の電極はビット線 $BL_0$ に接続されている。2段目のカラムのサブブロック[A]の参照用キャパシタ $C_{REF}$ の第4の電極、および1段目のカラムのサブブロック[A]のブロック選択トランジスタ $Q_S$ はビット線 $BL_1$ に接続されている。さらに、2段目のカラムのサブブロック[B]の参照用キャパシタ $C_{REF}$ の第4の電極は、ビット線 $BL_2$ に接続されている。

【0102】サブブロック[A]の1段目のカラムのブロック選択トランジスタ $Q_S$ のゲート電極、および2段目のカラムの参照用キャパシタ制御トランジスタのゲート電極には、それぞれワード線 $WR_0^A$ が接続されている。また、サブブロック[A]の1段目のカラムの参照用キャパシタ制御トランジスタのゲート電極、および2段目のカラムのブロック選択トランジスタ $Q_S$ には、それぞれワード線 $WR_1^A$ が接続されている。一方、サブブロック[B]の1段目のカラムの参照用キャパシタ制御トランジスタのゲート電極、および2段目のカラムのブロック選択トランジスタ $Q_S$ には、それぞれワード線 $WR_0^B$ が接続されている。そして、サブブロック[B]の1段目のカラムのブロック選択トランジスタ $Q_S$ のゲート電極、および2段目のカラムの参照用キャパシタ制御トランジスタのゲート電極には、それぞれワード線 $WR_1^B$ が接続されている。

【0103】サブブロック[A]の記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ のそれぞれに並列接続された制御用トランジスタの各ゲート電極には、ワード線 $WL_0^A$ 、 $WL_1^A$ 、 $WL_2^A$ 、 $\dots$ 、 $WL_{15}^A$ が接続されている。同様にサブブロック[B]の記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ のそれぞれに並列接続された制御用トランジスタの各ゲート電極には、ワード線 $WL_0^B$ 、 $WL_1^B$ 、 $WL_2^B$ 、 $\dots$ 、 $WL_{15}^B$ が接続されている。サブブロック[A]とサブブロック[B]との中央に位置した読み出し用トランジスタ $Q_{READ}$ の一方の主電極には、読み出し用電源線 $VL$ が、他方の主電極には読み出し出力線 $SL$ が接続されている。この実施形態においては、読み出し出力線 $SL$ を2組用意し、それぞれをカラム毎に交互に接続している。図20において、記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ のそれぞれに並列接続された制御用トランジスタ、読み出し用トランジスタ $Q_{READ}$ 、ブロック選択トランジスタ $Q_S$ 、および参照用キャパシタ制御トランジスタは、nMOSFETで示されているが、pMOSFET

Tで構成することも可能である。

【0104】図22には、第2実施形態に係る半導体記憶装置の読み出し／書き込みシークエンスを示す。本発明の第2の実施の形態に係る半導体記憶内では、図20および図21に示した回路構成において隣接するビット数 $BL \times$ および $BL \times + 1$ の間に動作電圧を印加する構造をとる。このため、1本のワード線がカラム毎にブロック選択トランジスタ $Q_s$ と参照用キャパシタ制御トランジスタを交互に駆動する構造になっている。

【0105】一例として、サブブロック[A]のビット線とワード線 $WL1^A$ との交点に位置する2段目のカラムの記憶用キャパシタ $C_{M1}$ を選択するときを考える。サブブロック[A]のワード線 $WR0^A$ および $WR1^A$ を、“1”として、2段目のカラムのサブブロック[A]の参照用キャパシタ制御トランジスタおよびブロック選択トランジスタ $Q_s$ を導通状態（オン）とする。同時に、サブブロック[B]のワード線 $WR0^B$ を“1”とし、2段目のカラムのサブブロック[B]のブロック選択トランジスタ $Q_s$ をオンとする。このときサブブロック[B]のワード線 $WR1^B$ のみは“0”とする。即ち、2段目のカラムのサブブロック[B]の参照用キャパシタ制御トランジスタのみを遮断状態（オフ）とし、この参照用キャパシタ $C_{REF}$ を選択する。この状態は図8(a)に示した等価回路でブロック選択トランジスタ $Q_s$ がオンの場合に相当する。次に $WL1^A$ のみを“0”、それ以外の $WL^A$ を“1”とし、2段目のカラムの記憶用キャパシタ $C_{M1}$ を選択する。この状態は図1または図7(a)ないし図7(c)に示した等価回路で、記憶用キャパシタ $C_M$ と並列に接続された制御用トランジスタがオフの場合に相当する。すなわち、第1の電極、第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備した記憶用キャパシタ $C_M$ と、記憶用キャパシタ $C_M$ の第1の電極に接続された第3の電極、この第3の電極に対向して配置された第4の電極、およびこれらの第3、第4の電極に挟まれた誘電体薄膜とを少なくとも具備した参照用キャパシタ $C_{REF}$ と、記憶用キャパシタ $C_M$ の第1の電極および参照用キャパシタ $C_{REF}$ の第3の電極に接続されたゲート電極を有する読み出し用トランジスタ $Q_{READ}$ をとかなる等価回路が実現されたことになる。この状態で、ビット線 $BL1$ および $BL2$ 間に読み出し／書き込み電圧を印加すればよい。すなわち、ビット線 $BL1$ を“1”とし、ビット線 $BL2$ を“0”とすれば、記憶用キャパシタ $C_{M1}$ と参照用キャパシタ $C_{REF}$ 間に“1”の電圧を印加することができる。

【0106】このとき、ビット線 $BL0-BL1$ 間、およびビット線 $BL2-BL3$ 間にも電圧が印加されるが、ワード線 $WR1^B$ が“0”であるので1段目と3段目のカラムのサブブロック[B]のブロック選択トランジスタ $Q_s$ がオフ状態であり、1段目と3段目のカラム

の記憶用キャパシタ $C_{M1}$ には電圧が加わらない。即ち対象としているカラムの上下のカラムのブロック選択トランジスタ $Q_s$ がオフとなるので、ビット線に印加した電圧はこれらの隣接するカラムのブロックには加わらない。

【0107】また、サブブロック[B]の記憶セルを選択するときには、サブブロック[A]の参照用キャパシタを選択し、図1又は図7(a)ないし図7(c)に示した等価回路で、記憶用キャパシタ $C_M$ と並列に接続された制御用トランジスタがオフの場合を実現することはもちろんである。

【0108】本発明の第2実施形態に係る半導体記憶装置では、隣接する2本のビット線間に電圧を印加することができるという利点がある。また、書き込み動作も参照用キャパシタ $C_{REF}$ を介して行なう。その他は、ほぼ第1の実施の形態に係る半導体記憶装置と同様である。

【0109】図23(a)は、メモリセルブロックを示す平面図で、簡略化のために、図23(b)におけるA-A'平面のレベルよりも下層のみを示す。図23(a)において、1段目のカラムの $n^+$ ソース／ドレイン領域281、21とワード線 $WR0^B$ とで、サブブロック[B]の参照用キャパシタ制御トランジスタが形成されている。 $n^+$ ソース／ドレイン領域281は、ビット線 $BL0$ への接続部としても機能する。 $n^+$ ソース／ドレイン領域21には、参照用キャパシタ $C_{REF}$ の第4の電極として機能する下部電極66が接続されている。そして、 $n^+$ ソース／ドレイン領域21、22とポリシリコンゲート電極となるワード線 $WL1^B$ とで、ブロック選択トランジスタ $Q_{s1}$ が構成されている。同様に、 $n^+$ ソース／ドレイン領域22、23とポリシリコンゲート電極となるワード線 $WL0^B$ とで、記憶用キャパシタ $C_{M0}$ に並列接続された制御用トランジスタが構成されている。さらに、 $n^+$ ソース／ドレイン領域23、24とワード線 $WL1^B$ とで、記憶用キャパシタ $C_{M1}$ に並列接続された制御用トランジスタが形成され、 $n^+$ ソース／ドレイン領域26（図示せず）、27とワード線 $WL15^B$ とで、記憶用キャパシタ $C_{M15}$ に並列接続された制御用トランジスタが形成されている。 $n^+$ ソース／ドレイン領域23、25には、各記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ の第1の電極もしくは第2電極として機能する下部電極42、43、 $\dots$ 、44が接続されている。また $n^+$ ソース／ドレイン領域31、32とポリシリコンゲート電極531とで読み出し用トランジスタ $Q_{READ}$ が形成されている。 $n^+$ ソース／ドレイン領域31、32は、ワード線に平行に形成されており、読み出し用電源線 $VL$ を兼ねている。2段目のカラムのブロック選択トランジスタ $Q_{s0}$ の $n^+$ ソース／ドレイン領域282と、3段目のカラムの参照用キャパシタ制御トランジスタの $n^+$ ソース／ドレイン領域283とは接

続電極(図示せず)によって互いに接続されている。主としてブロック[B]について説明したが、ブロック[A]も同様の構成を有している。

【0110】図23(a)に示すように、各カラムのサブブロック[A]又はサブブロック[B]内に、それぞれブロック選択トランジスタ $Q_s$ 、 $n$ 個の記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $\dots$ 、 $C_{M15}$ およびこれらに並列接続された $n$ 個の制御用トランジスタ、読み出しトランジスタ $Q_{READ}$ 、参照用キャパシタ $C_{REF}$ 、および参照用キャパシタ制御トランジスタが含まれる。1個の記憶セルの寸法は $4F^2$ 、サブブロックあたりのコンタクト部を含めた記憶セル以外の領域は $16F^2$ であるから、メモリセル1個当たり $(4+16/n)F^2$ になる。第2の実施の形態に係る半導体記憶装置では、強誘電体キャパシタとして $20\mu C/cm^2$ の残留分極を有するものを使用したため、16個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、1個当たり $5.0F^2$ の寸法になった。

【0111】図23(b)は、図23(a)に示す平面図のB-B'方向に沿った断面図である。図23(b)に示すように、本発明の第2実施形態に係る半導体記憶装置は、半導体基板11上にpウェル12を形成し、このpウェル12の表面に、 $n^+$ ソース/ドレイン領域281、21、22、23、 $\dots$ 、27を設けている。そして、pウェル12の表面のゲート酸化膜の上に、ポリシリコンゲート電極となるワード線 $WR0^B$ 、 $WR1^B$ 、 $WL0^B$ 、 $WL1^B$ 、 $WL2^B$ 、 $\dots$ 、 $WL15^B$ を有している。なお、図23(b)の断面図には、読み出し用トランジスタ $Q_{READ}$ を構成するポリシリコンゲート電極531の配線部の断面も露出している。ここで、これらのポリシリコンゲート電極の代わりに、W、Ti、Mo、Co等の高融点金属、あるいは $WSi_2$ 、 $TiSi_2$ 、 $MoSi_2$ 、 $CoSi_2$ 等の高融点金属のシリサイドなどを用いても良い。

【0112】 $n^+$ ソース/ドレイン領域281、21とワード線 $WR0^B$ とで、サブブロック[B]の参照用キャパシタ制御トランジスタが形成されている。また、 $n^+$ ソース/ドレイン領域21、22とワード線 $WR1^B$ とで、ブロック選択トランジスタ $Q_{s1}$ が構成されている。 $n^+$ ソース/ドレイン領域22、23とワード線 $WL0^B$ とで、記憶用キャパシタ $C_{M0}$ に並列接続された制御用トランジスタが構成されている。さらに、 $n^+$ ソース/ドレイン領域23、24とワード線 $WL1^B$ とで、記憶用キャパシタ $C_{M1}$ に並列接続された制御用トランジスタが、 $n^+$ ソース/ドレイン領域24、25とワード線 $WL2^B$ とで、記憶用キャパシタ $C_{M2}$ に並列接続された制御用トランジスタが、 $\dots$ 、 $n^+$ ソース/ドレイン領域26(図示せず)、27とワード線 $WL15^B$ とで、記憶用キャパシタ $C_{M15}$ に並列接続された制御用トランジスタが形成されている。またB-B'方向の断面上に

は露出しない $n^+$ ソース/ドレイン領域31、32とポリシリコンゲート電極531とで読み出し用トランジスタ $Q_{READ}$ が形成されている。ワード線 $WR0^B$ 、 $WR1^B$ 、 $WL0^B$ 、 $WL1^B$ 、 $WL2^B$ 、 $\dots$ 、 $WL15^B$ 、ポリシリコンゲート電極531の上には酸化膜( $SiO_2$ 膜)、PSG膜、BPSG膜、窒化膜( $Si_3N_4$ 膜)等からなる第1の層間絶縁膜13が形成され、この第1の層間絶縁膜13の上に、参照用キャパシタ $C_{REF}$ の第4の電極として機能する下部電極66、および各記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $C_{M3}$ 、 $\dots$ 、 $C_{M15}$ の第1の電極もしくは第2の電極として機能する下部電極42、43、 $\dots$ 、44が形成されている。下部電極66、42、43、 $\dots$ 、44は、第1の層間絶縁膜13中に設けられたコンタクトホールを埋め込むように形成されたコンタクトプラグ83、73、75により、 $n^+$ ソース/ドレイン領域21、23、25と接続している。これらのコンタクトプラグは、ドーパポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。下部電極66は参照用キャパシタ $C_{REF}$ の第3の電極として機能し、下部電極42は記憶用キャパシタ $C_{M0}$ の第2の電極および記憶用キャパシタ $C_{M1}$ の第1の電極として機能する。下部電極43は、記憶用キャパシタ $C_{M2}$ の第2の電極および記憶用キャパシタ $C_{M3}$ の第1の電極として機能する。下部電極44は、記憶用キャパシタ $C_{M14}$ の第2の電極および記憶用キャパシタ $C_{M15}$ の第1の電極として機能する。そして、この下部電極42、43、 $\dots$ 、44の上に、Baリッチ組成のBSTO薄膜等の強誘電体薄膜51、52、 $\dots$ 、53を形成し、パターンニングすればよい。また、参照用キャパシタ $C_{REF}$ の下部電極66の上には、常誘電体薄膜55を形成すればよい。なお、参照用キャパシタ $C_{REF}$ の常誘電体薄膜55を形成すればよい。なお、参照用キャパシタ $C_{REF}$ 用の常誘電体薄膜を使用することもできる。常誘電体薄膜55、強誘電体薄膜51、52、 $\dots$ 、53が形成されていない第1の層間絶縁膜13の上には、酸化膜( $SiO_2$ 膜)等からなる第2の層間絶縁膜14が形成され、この第2の層間絶縁膜14の上には、上部電極65、61、62、 $\dots$ 、63が形成されている。上部電極65は、参照用キャパシタ $C_{REF}$ の第4の電極として機能する。上部電極61は、記憶用キャパシタ $C_{M0}$ の第1の電極として機能する。上部電極62は、記憶用キャパシタ $C_{M1}$ の第2の電極および記憶用キャパシタ $C_{M2}$ の第1の電極として機能する。上部電極63は、記憶用キャパシタ $C_{M15}$ の第2の電極として機能する。上部電極65、61、62、 $\dots$ 、63は、第1の層間絶縁膜13および第2の層間絶縁膜14を貫通して設けられたコンタクトホールを埋め込むように形成され、コンタクトプラグ82、72、74、77により、 $n^+$ ソース/ドレイン領域281、22、24、 $\dots$ 、27と接続している。これらのコンタクトプラグ82、72、74、77

は、ドーパドポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。さらに、上部電極63は、第1の層間絶縁膜13および第2の層間絶縁膜14を貫通して設けられたコンタクトプラグ78を介して、読み出し用トランジスタQ<sub>READ</sub>のポリシリコンゲート電極の配線部531と接続している。上部電極65, 61, 62, ..., 63の上には、酸化膜(SiO<sub>2</sub>膜)等からなる第3の層間絶縁膜15が形成され、この第3の層間絶縁膜15の上には、ビット線16が形成されている。ビット線16と上部電極65は第3の層間絶縁膜15を貫通したビット線コンタクトプラグ84により互いに接続されている。ビット線コンタクトプラグ84は、ドーパドポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。図示を省略しているが、さらにビット線16の上には、酸化膜(SiO<sub>2</sub>膜), PSG膜, BPSG膜, 窒化膜(Si<sub>3</sub>N<sub>4</sub>膜), あるいはポリイミド膜などのパッシベーション膜を形成することが好ましい。

【0113】図23(a)に示す平面図に対応した断面図である図23(b)に示すような回路構成により、非常に高集積化された不揮発性メモリの動作が確認できた。

【0114】(第3の実施の形態)図24は、本発明の第3実施形態に係る半導体記憶装置の主要部分の回路構成を示し、図25は周辺回路を含めた半導体記憶装置の主要部分を詳細に示す図である。第3実施形態に係る半導体記憶装置においては1対のドライブ線(DL<sup>A</sup>およびDL<sup>B</sup>)に挟まれた1個のブロックが、1個の読み出しトランジスタを中心にして2個のサブブロックに分かれている。

【0115】図24に示すように、本発明の第3実施形態に係る半導体記憶装置は、直列接続された複数の記憶用キャパシタC<sub>M0</sub>, C<sub>M1</sub>, C<sub>M2</sub>, C<sub>M3</sub>, ..., C<sub>M15</sub>と、この記憶用キャパシタC<sub>M0</sub>, C<sub>M1</sub>, C<sub>M2</sub>, C<sub>M3</sub>, ..., C<sub>M15</sub>のそれぞれに並列接続された制御用トランジスタとからなる記憶セル列(記憶セルチェーン)と、この記憶セルチェーンの端部に位置する記憶用キャパシタC<sub>M15</sub>に接続した参照セルと、参照セルに接続したゲート電極を有する読み出し用トランジスタQ<sub>READ</sub>と、記憶セルチェーンの他方の端部に位置する記憶用キャパシタC<sub>M0</sub>に接続された(ブロック選択トランジスタ)Q<sub>S</sub>を少なくとも具備したメモリセルブロックを基本ユニットとして構成している。ここで、「参照セル」は、参照用キャパシタC<sub>REF</sub>と参照用キャパシタ制御トランジスタとの並列回路からなる。各記憶用キャパシタC<sub>M0</sub>, C<sub>M1</sub>, C<sub>M2</sub>, C<sub>M3</sub>, ..., C<sub>M15</sub>は、それぞれ第1の電極、この第1の電極に対向して配置された第2の電極、およびこれらの第1、第2の電極に挟まれた誘電体薄膜とを少なくとも具備している。

【0116】また、参照用キャパシタC<sub>REF</sub>は、記憶用

キャパシタC<sub>M15</sub>の第1の電極に電気的に結合した第3の電極、この第3の電極に対向して配置された第4の電極、およびこれらの第3、第4の電極に挟まれた誘電体薄膜とを少なくとも具備している。そして、本発明の半導体記憶装置は、このメモリセルブロックを複数個マトリックス状に配置しているが、FIG. 24ではそのうちサブブロック[A]として4つ、サブブロック[B]として4つの計8つのみを示している。2段目のカラムのサブブロック[A]のブロック選択トランジスタQ<sub>S</sub>、および1段目のカラムのサブブロック[B]のブロック選択トランジスタQ<sub>S</sub>は、ビット線BL<sub>0</sub>に接続されている。同様に、2段目のカラムのサブブロック[A]のブロック選択トランジスタQ<sub>S</sub>、および2段目のカラムのサブブロック[B]のブロック選択トランジスタQ<sub>S</sub>はビット線BL<sub>1</sub>に接続されている。さらに、3段目および4段目のカラムの、各2つのブロック選択トランジスタQ<sub>S</sub>は、それぞれビット線BL<sub>2</sub>およびビット線BL<sub>3</sub>に接続されている。サブブロック[A]のブロック選択トランジスタQ<sub>S</sub>の記憶セルに接続されていない方の主電極はドライブ線DL<sup>A</sup>に、サブブロック[B]のブロック選択トランジスタQ<sub>S</sub>の記憶セルに接続されていない方の主電極はドライブ線DL<sup>B</sup>に接続されている。

【0117】サブブロック[A]の記憶用キャパシタC<sub>M0</sub>, C<sub>M1</sub>, C<sub>M2</sub>, ..., C<sub>M15</sub>のそれぞれに並列接続された制御用トランジスタの各ゲート電極には、ワード線WL<sub>0A</sub>, WL<sub>1A</sub>, WL<sub>2A</sub>, ..., WL<sub>15A</sub>が接続されている。同様にサブブロック[B]の記憶用キャパシタC<sub>M0</sub>, C<sub>M1</sub>, C<sub>M2</sub>, ..., C<sub>M15</sub>のそれぞれに並列接続された制御用トランジスタの各ゲート電極には、ワード線WL<sub>0B</sub>, WL<sub>1B</sub>, WL<sub>2B</sub>, ..., WL<sub>15B</sub>が接続されている。サブブロック[A]の参照用キャパシタ制御トランジスタのゲート電極には、ワード線WR<sup>A</sup>が接続され、サブブロック[B]の参照用キャパシタ制御トランジスタのゲート電極には、ワード線WR<sup>B</sup>が接続されている。1段目と3段目のカラムの読み出し用トランジスタQ<sub>READ</sub><sup>B</sup>の一方の主電極には、読み出し用電源線VLが、他方の主電極には読み出し出力線SL<sup>A</sup>が接続されている。一方、2段目と4段目のカラムの読み出し用トランジスタQ<sub>READ</sub><sup>A</sup>の一方の主電極には、読み出し用電源線VLが、他方の主電極には読み出し出力線SL<sup>B</sup>が接続されている。図24において、記憶用キャパシタC<sub>M0</sub>, C<sub>M1</sub>, C<sub>M2</sub>, C<sub>M3</sub>, ..., C<sub>M15</sub>それぞれに並列接続された制御用トランジスタ、読み出し用トランジスタQ<sub>READ</sub><sup>A</sup>, Q<sub>READ</sub><sup>B</sup>、ブロック選択トランジスタQ<sub>S</sub>、および参照用キャパシタ制御トランジスタは、nMOSFETで示されているが、pMOSFETで構成することも可能である。

【0118】図26には、本発明の第3実施形態に係る半導体記憶装置の読み出し/書き込みシークエンスを示

す。本発明の第3実施形態に係る半導体記憶装置では、ビット数 $BL \times$ は特定のカラムに沿ったブロックを選択する役割を行ない、読み出し/書き込み電圧の印加は隣接2本のドライブ線 $DL^A$ および $DL^B$ を通じて行なう。なお、反対側に隣接するブロックにも電圧が加わるが、ワード線 $WRA$ 、もしくはワード線 $WR^B$ を“0”として、そのブロック内の参照用キャパシタ制御トランジスタを、オフにしておけば問題は生じない。

【0119】また、サブブロック[A]の記憶セルを選択するときはサブブロック[B]の参照用キャパシタを選択し、サブブロック[B]の記憶セルを選択するときはサブブロック[A]の参照用キャパシタを選択する。

【0120】第3実施形態では2本のドライブ線 $DL^A$ および $DL^B$ の間に電圧を印加することができるので、実質的に $\pm V_c$ の電圧をセルに印加できるという利点がある。その他はほぼ第1実施形態と同様である。

【0121】例えば、図24に示す回路構成において、サブブロック[A]内の $BL1$ と $WL1^A$ の交点で指定される2段目のカラムの記憶セル $CM1$ を選択するには、ビット線 $BL1$ を“1”とし、サブブロック[A]およびサブブロック[B]のブロック選択トランジスタ $Q_s$ を共にオンにする。次に、ワード線 $WRA$ を“1”とし、サブブロック[A]の参照用キャパシタ $C_{REF}$ を選択する。そして、サブブロック[A]の $WL1^A$ のみを“0”とし、それ以外の $WLA$ のみを“1”とすれば2段目のカラムの記憶セル $CM1$ が選択できる。そして、記憶セル $CM1$ を選択した状態で、2本のドライブ線 $DL^A$ および $DL^B$ の間に電圧を印加すれば読み出し出力線 $SL^A$ に信号を読み出すことができる。

【0122】図27(a)は、メモリセルブロックを示す平面図で、簡略化のために、図27(b)のA-A'面のレベルよりも下層のみを示す。図27(a)において、 $n+$ ソース/ドレイン領域321、22とポリシリコンゲート電極331とで、サブブロック[B]のブロック選択トランジスタ $Q_s$ が構成されている。 $n+$ ソース/ドレイン領域321は、ドライブ線との接続部として機能する。さらに、 $n+$ ソース/ドレイン領域22、23とポリシリコンゲート電極となるワード線 $WLO^B$ とで、サブブロック[B]の記憶用キャパシタ $C_{M0}$ に並列接続された制御用トランジスタが構成されている。さらに、 $n+$ ソース/ドレイン領域23、24とワード線 $WL1^B$ とで、記憶用キャパシタ $CM1$ に並列接続された制御用トランジスタが、 $n+$ ソース/ドレイン領域24、25とワード線 $WL2^B$ とで、記憶用キャパシタ $CM2$ に並列接続された制御用トランジスタが、…、 $n+$ ソース/ドレイン領域26(図示されず)、322とワード線 $WL15^B$ とで、記憶用キャパシタ $CM15$ に並列接続された制御用トランジスタが形成されている。 $n+$ ソース/ドレイン領域23、25には、各記憶用キャパシタ $C_{M0}$ 、 $CM1$ 、 $CM2$ 、 $CM3$ 、…、 $CM15$ の第1の電極も

しくは第2電極として機能する下部電極42、43、…、44が接続されている。そして、 $n+$ ソース/ドレイン領域322、323とワード線 $WR^B$ とで、参照用キャパシタ制御トランジスタが形成されている。また $n+$ ソース/ドレイン領域324、325とポリシリコンゲート電極332とで読み出し用トランジスタ $Q_{READ}$ が形成されている。 $n+$ ソース/ドレイン領域325には読み出し用電源線 $VL$ が接続されている。ポリシリコンゲート電極334は、2段目のカラムの読み出し用キャパシタ制御トランジスタ $Q_{READ}$ に対応する。また、ポリシリコンゲート電極333は、2段目のカラムのブロック選択トランジスタ $Q_s$ に、ポリシリコンゲート電極335は、3段目のカラムのブロック選択トランジスタ $Q_s$ に、ポリシリコンゲート電極337は、4段目のカラムのブロック選択トランジスタ $Q_s$ に対応する。なお、サブブロック[A]についても同様である。

【0123】図27(a)に示すように、1個のサブブロック[B]内に、それぞれブロック選択トランジスタ $Q_s$ 、 $n$ 個の記憶用キャパシタ $C_{M0}$ 、 $CM1$ 、 $CM2$ 、 $CM3$ 、…、 $CM15$ およびこれらに並列接続された $n$ 個の制御用トランジスタ、読み出しトランジスタ $Q_{READ}$ 、参照用キャパシタ $C_{REF}$ 、および参照用キャパシタ制御トランジスタが含まれる。記憶セルの寸法は $4F^2$ 、ブロックあたりのコンタクト部を含めた記憶セル以外の領域は $22F^2$ であるから、メモリセル1個当たり $(4+22/n)F^2$ になる。第3の実施の形態では強誘電体キャパシタとして $20\mu C/cm^2$ の残留分極を有するものを使用したため、16個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、1個当たり5・ $4F^2$ の寸法になった。

【0124】図27(b)は、図27(a)に示すサブブロック[B]の平面図のB-B'方向に沿った断面図である。図27(b)に示すように、本発明の第3実施形態に係る半導体記憶装置は、半導体基板11上にpウェル12を形成し、このpウェル12の表面に、 $n+$ ソース/ドレイン領域321、22、23、…、322、323を設けている。そして、pウェル12の表面のゲート酸化膜の上に、ポリシリコンゲート電極331、ワード線 $WLO^B$ 、 $WL1^B$ 、 $WL2^B$ 、…、 $WL15^B$ 、およびポリシリコンゲート電極332を有している。また、 $n+$ ソース/ドレイン領域321に接続して、ドライブ線 $DL^B$ が紙面に垂直方向に伸延している。

【0125】 $n+$ ソース/ドレイン領域321、22とポリシリコンゲート電極331とで、ブロック選択トランジスタ $Q_s$ が構成されている。また、 $n+$ ソース/ドレイン領域22、23とワード線 $WLO^B$ とで、記憶用キャパシタ $C_{M0}$ に並列接続された制御用トランジスタが構成されている。さらに、 $n+$ ソース/ドレイン領域23、24とワード線 $WL1^B$ とで、記憶用キャパシタ $C$

$m_1$ に並列接続された制御用トランジスタが、 $n^+$ ソース／ドレイン領域24、25とワード線 $WL2^B$ とで、記憶用キャパシタ $C_{M2}$ に並列接続された制御用トランジスタが、…、 $n^+$ ソース／ドレイン領域26（図示せず）、322とワード線 $WL15^B$ とで、記憶用キャパシタ $C_{M15}$ に並列接続された制御用トランジスタが形成されている。そして、 $n^+$ ソース／ドレイン領域322、323とワード線 $WR^B$ とで、参照用キャパシタ制御用トランジスタが形成されている。また $B-B'$ 方向の断面上には露出しないので図示を省略した $n^+$ ソース／ドレイン領域324、325（図27（a）参照）とポリシリコンゲート電極332とで読み出し用トランジスタ $Q_{READ}$ が形成されている。ポリシリコンゲート電極331、ワード線 $WL0^B$ 、 $WL1^B$ 、 $WL2^B$ 、…、 $WL15^B$ 、 $WR^B$ 、ポリシリコンゲート電極332の上には酸化膜（ $SiO_2$ 膜）等からなる第1の層間絶縁膜13が形成され、この第1の層間絶縁膜13の上に、記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $C_{M3}$ 、…、 $C_{M15}$ の第1の電極もしくは第2の電極として機能する下部電極42、43、…、44、参照用キャパシタ $C_{REF}$ の第4の電極として機能する下部電極351が形成されている。下部電極42、43、…、44、351は、第1の層間絶縁膜13中に設けられたコンタクトホールを埋め込むように形成されたコンタクトプラグ73、75、342により、 $n^+$ ソース／ドレイン領域23、25、…、323と接続している。さらに、下部電極351は、第1の層間絶縁膜13を貫通して設けられたコンタクトプラグ343を介して、読み出し用トランジスタ $Q_{READ}$ のポリシリコンゲート電極332と接続している。これらのコンタクトプラグは、ドーパポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。下部電極42は、記憶用キャパシタ $C_{M0}$ の第1の電極および記憶用キャパシタ $C_{M1}$ の第2の電極として機能する。下部電極43は、記憶用キャパシタ $C_{M2}$ の第1の電極および記憶用キャパシタ $C_{M3}$ の第2の電極として機能する。…下部電極44は、記憶用キャパシタ $C_{M14}$ の第1の電極および記憶用キャパシタ $C_{M15}$ の第2の電極として機能する。そして、この下部電極42、43、…、44の上に、所定の強誘電体薄膜51、52、…、53を形成し、パターニングすればよい。また、参照用キャパシタ $C_{REF}$ の下部電極351の上には、常誘電体薄膜352を形成すればよい。なお、参照用キャパシタ $C_{REF}$ 用の常誘電体薄膜352の代わりに、強誘電体薄膜を使用することもできる。強誘電体薄膜51、52、…、53、および常誘電体薄膜352の形成されていない第1の層間絶縁膜13の上には、酸化膜（ $SiO_2$ 膜）等からなる第2の層間絶縁膜14が形成され、この第2の層間絶縁膜14の上には、上部電極372、62、…、353が形成されている。上部電極372は、記憶用キャパシタ $C_{M0}$ の第2の電極として機能する。上

部電極62は、記憶用キャパシタ $C_{M1}$ の第1の電極および記憶用キャパシタ $C_{M2}$ の第2の電極として機能する。…上部電極353は、記憶用キャパシタ $C_{M15}$ の第1の電極および参照用キャパシタ $C_{REF}$ の第3の電極として機能する。上部電極372、62、…、353は、第1の層間絶縁膜13および第2の層間絶縁膜14を貫通して設けられたコンタクトホールを埋め込むように形成されたコンタクトプラグ72、74、341により、 $n^+$ ソース／ドレイン領域22、24、…、322と接続している。これらのコンタクトプラグ72、74、341は、ドーパポリシリコン、高融点金属や高融点金属のシリサイド等で構成すればよい。さらに、上部電極372、62、…、353、読み出し出力線 $SL^B$ 、および読み出し出力線 $SL^A$ の上には、酸化膜（ $SiO_2$ 膜）等からなる第3の層間絶縁膜15が形成され、この第3の層間絶縁膜15の上には、ビット線が形成されている。なお、図示を省略しているが、ビット線の上には、酸化膜（ $SiO_2$ 膜）、PSG膜、BPSG膜、窒化膜（ $Si_3N_4$ 膜）、あるいはポリイミド膜などのパッシベーション膜を形成することが好ましいことは勿論である。主としてサブブロック[B]について説明したがサブブロック[A]も同様の構成を有する。このような回路構成により、非常に高集積化された不揮発性メモリの動作が確認できた。

【0126】（第4実施例）図28は、本発明の第4の実施例に係る記憶用強誘電体キャパシタを使用した半導体記憶装置の主要部分の回路構成を示す図である。図28に示すように、本発明の第4実施形態に係る半導体記憶装置は、直列接続された複数個の選択用MOSトランジスタ $Q_{M0}$ 、 $Q_{M1}$ 、 $Q_{M2}$ 、 $Q_{M3}$ 、…、 $Q_{M15}$ と、これら選択用トランジスタの共通主電極毎に接続された複数個の記憶用強誘電体キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $C_{M3}$ 、…、 $C_{M15}$ とからなるNAND型記憶セル列と、この記憶セル列の端部に位置する選択用トランジスタ $Q_{M0}$ の主電極に接続した参照用キャパシタ $C_{REF}$ と、選択用トランジスタ $Q_{M0}$ と参照用キャパシタ $C_{REF}$ との接続点であるストレージノード $N_s$ に接続したゲート電極を有する読み出し用トランジスタ $Q_{READ}$ と、ストレージノード $N_s$ に接続した $R/W$ 制御用トランジスタ $Q_{R/W}$ を少なくとも具備したメモリセルブロックを基本ユニットとして構成している。

【0127】各記憶用キャパシタ $C_{M0}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $C_{M3}$ 、…、 $C_{M15}$ は、それぞれ選択用トランジスタの共通主電極に接続された第1の電極、この第1の電極に対向して設置され、プレート電極に接続された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備している。また、参照用キャパシタ $C_{REF}$ は、ストレージノード $N_s$ に接続した第3の電極、この第3の電極に対向して設置され、プレート電極 $PL$ に接続された第4の電極、およびこれらの第3、第

4の電極に挟まれた誘電体薄膜とを少なくとも具備している。また、R/W制御用トランジスタ $Q_{R/W}$ の一方の主電極はストレージノード $N_s$ に、他方の主電極はビット線 $BL$ に接続されている。

【0128】そしてこのNAND型記憶セル列を複数個マトリックス状に配置しているが、1個の参照用キャパシタ $C_{REF}$ 、この読み出し用トランジスタ $Q_{READ}$ 、および制御用トランジスタ $Q_{R/W}$ を中心として、右にサブブロック[A]、左にサブブロック[B]、の2個のサブブロックに別れている。図28ではそのうちブロック[A]として2つ、サブブロック[B]として2つの計4つのみを示している。

【0129】サブブロック[A]の選択用トランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,  $Q_{M3}$ , ...,  $Q_{M15}$ の各ゲート電極には、ワード線 $WL0^A$ ,  $WL1^A$ ,  $WL2^A$ ,  $WL3^A$ , ...,  $WL15^A$ が接続されている。同様に、サブブロック[B]の選択用トランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,  $Q_{M3}$ , ...,  $Q_{M15}$ の各ゲートには、ワード線 $WL0^B$ ,  $WL1^B$ ,  $WL2^B$ ,  $WL3^B$ , ...,  $WL15^B$ が接続されている。各メモリセルブロックの読み出し用トランジスタ $Q_{READ}$ の一方の主電極には、読み出し用電源線 $VL$ が、他方の主電極には読み出し出力線 $SL$ が接続されている。各メモリセルブロックのR/W制御用トランジスタ $Q_{R/W}$ のゲート電極には、R/W制御用トランジスタのワード線 $RL$ が接続されている。

【0130】図29には周辺回路の接続図を示す。サブブロック[A]の各ワード線 $WL0^A$ ,  $WL1^A$ ,  $WL2^A$ ,  $WL3^A$ , ...,  $WL15^A$ は、ローデコーダAに、サブブロック[B]の各ワード線 $WL0^B$ ,  $WL1^B$ ,  $WL2^B$ ,  $WL3^B$ , ...,  $WL15^B$ は、ローデコーダBに、各ビット線 $BL0$ ,  $BL1$ , ...はカラムデコーダに接続されている。

【0131】図28および図29に示す回路構成において、サブブロック[A]内の $BLx$  ( $x=0, 1$ )と $WLy^A$  ( $y=0, 1, 2, \dots, 15$ )の交点で示される所望の記憶セルを選択するには、 $WL0^A$ から $WLy^A$ までのワード線を全て“1 (ハイレベル)”として $Q_{M0}$ から $Q_{My}$ までの選択用トランジスタをすべてオンに、ワード線 $WLy+1^A$ を“0 (ローレベル)”として選択用トランジスタ $Q_{My+1}$ をオフにし、電位一定 (例えば $1/V_{CC}$ ) のプレート線 $PL$ に対して、 $BLx$ に電位を加えることで達成され。同様に、サブブロック[B]内の $BLx$  ( $x=0, 1$ )と $WLy^B$  ( $y=0, 1, 2, \dots, 15$ )の交点で示される所望の記憶セルを選択するには、 $WL0^B$ から $WLy^B$ までのワード線を全て“1 (ハイレベル)”として $Q_{M0}$ から $Q_{My}$ までの選択用トランジスタをすべてオンに、ワード線 $WLy+1^B$ を“0 (ローレベル)”として選択用トランジスタ $Q_{My+1}$ をオフにし、電位一定 (例えば $1/2V_G$ ) のプレート線 $PL$ に対して、 $BLx$ に電位を加えることで

達成される。

【0132】図30には、「プリチャージ併用読み出し/直接書き込み方式」を採用した場合の読み出し/書き込みシーケンスを示す。まず、プリチャージ併用読み出し方式においては、 $WL0^A$ から $WLy^A$ まで、ないしは $WL0^B$ から $WLy^B$ までを選択する前に、R/W制御用トランジスタ $Q_{R/W}$ をオンにし、電位一定のプレート線 $PL$ に対して参照用キャパシタ $C_{REF}$ に逆電圧を加えてプリチャージを行なう。その後、R/W制御用トランジスタ $Q_{R/W}$ をオフにし、 $WL0^A$ から $WLy^A$ までないしは $WL0^B$ から $WLy^B$ までを選択した後、正電圧を加えることにより、記憶用キャパシタ $C_{My}$ に実質的に2倍程度の電圧を加えて反転させるものである。

【0133】次に、記憶用キャパシタ $C_{My}$ に対する書込みは、まず、R/W制御用トランジスタ $Q_{R/W}$ をオンにし、ビット線 $BL$ に書き込み電圧を印加し、 $WL0^A$ から $WLy^A$ までないしは $WL0^B$ から $WLy^B$ までを選択することにより、記憶用キャパシタ $C_{My}$ に直接電圧を加えて反転させるものである。

【0134】図31(a)は、本発明の第4実施形態の平面図で、見やすくするために、図31(b)に示す断面図におけるA-A'のレベルよりも下層のみを示す。ビット線に接続された1個のブロック内に、16個の記憶セルを持つサブブロックが2個、読み出しトランジスタ $Q_{READ}$ 、および制御用トランジスタ $Q_{R/W}$ が含まれる。記憶セルの寸法は $4F^2$ 、ブロックあたりの記憶セル以外の領域は $26F^2$ であるから、メモリセル1個当たり $(4+26/32)F^2$ になる。本実施形態では強誘電体キャパシタとして $20\mu C/cm^2$ の残留分極を持つものを使用したため、32個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、1個当たり $4.8F^2$ の寸法になった。

【0135】また、図31(b)は、図31(a)の平面図のB-B'に沿った断面図である。シリコン基盤上に、nMOS型のトランジスタから形成されている。各選択用トランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,  $Q_{M3}$ , ...,  $Q_{M15}$ の主電極領域には下部電極 $LE$ 、上部電極 $TE$ および強誘電体膜からなるキャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ ,  $C_{M3}$ , ...,  $C_{M15}$ が形成されている。また、NANDセルメモリ列の端部の選択用トランジスタ $Q_{M0}$ のもう1つの主電極上には、同様に参照用キャパシタ $C_{REF}$ が形成されている。このような回路構成により、非常に高集積化された不揮発性メモリの動作が確認できた。

【0136】(第5実施形態)図32は、本発明の第5実施形態に係る常誘電体記憶用キャパシタを使用した半導体記憶装置の主要部分の回路構成を示し、図33は周辺回路をも含めた半導体記憶装置の主要部分を詳細に示す図である。図32に示すように、本発明の第5実施形態に係る半導体記憶装置は、直列接続された複数個の選択用MOSトランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,  $Q_{M3}$ , ...,

$Q_{M15}$ と、これら選択用トランジスタの共通主電極毎に接続された複数の記憶用強誘電体キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ ,  $C_{M3}$ , ...,  $C_{M15}$ とからなるNAND型記憶セル列と、この記憶セル列の端部に位置する選択用トランジスタ $Q_{M0}$ の主電極に接続した参照用キャパシタ $C_{REF}$ と、選択用トランジスタ $Q_{M0}$ と参照用キャパシタ $C_{REF}$ との接続点であるストレージノード $N_S$ に接続したゲート電極を有する読み出し用トランジスタ $Q_{READ}$ と、ストレージノード $N_S$ に接続した2個のR/W制御用トランジスタ $Q_{R/W1}$ および $Q_{R/W2}$ を少なくとも具備するメモリセルブロックを基本ユニットとして構成している。

【0137】各記憶用キャパシタ $C_{M0}$ ,  $C_{M1}$ ,  $C_{M2}$ ,  $C_{M3}$ , ...,  $C_{M15}$ は、それぞれ選択用トランジスタの共通主電極に接続された第1の電極、この第1の電極に対向して設置され、プレート電極に接続された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備している。また、参照用キャパシタ $C_{REF}$ は、ストレージノード $N_S$ に接続した第3の電極、この第3の電極に対向して設置され、ビット線 $BL$ に接続された第4の電極、およびこれらの第3、第4の電極に挟まれた誘電体薄膜とを少なくとも具備している。また、第1のR/W制御用トランジスタ $Q_{R/W1}$ の一方の主電極はストレージノード $N_S$ に、他方の主電極はビット線 $BL$ に接続されている。第2のR/W制御用トランジスタ $Q_{R/W2}$ の一方の主電極はストレージノード $N_S$ に、他方の主電極はプレート電極 $PE$ に接続されている。

【0138】このNAND型記憶セル列を複数個マトリックス状に配置しているが、1個の参照用キャパシタ $C_{REF}$ 、読み出し用トランジスタ $Q_{READ}$ 、および2個のR/W制御用トランジスタ $Q_{R/W1}$ および $Q_{R/W2}$ を中心として、右にサブブロック[A]、左にサブブロック[B]、の2個のサブブロックに別れている。図32ではそのうちブロック[A]として2つ、サブブロック[B]として2つの計4つのみを示している。

【0139】サブブロック[A]の選択用トランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,  $Q_{M3}$ , ...,  $Q_{M15}$ の各ゲート電極には、ワード線 $WL0^A$ ,  $WL1^A$ ,  $WL2^A$ ,  $WL3^A$ , ...,  $WL15^A$ が接続されている。同様に、サブブロック[B]の選択用トランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,  $Q_{M3}$ , ...,  $Q_{M15}$ の各ゲート電極には、ワード線 $WL0^B$ ,  $WL1^B$ ,  $WL2^B$ ,  $WL3^B$ , ...,  $WL15^B$ が接続されている。各メモリセルブロックの読み出し用トランジスタ $Q_{READ}$ の一方の主電極には、読み出し用電源線 $VL$ が、他方の主電極には読み出し出力線 $SL^A$ または $SL^B$ が接続されている。各メモリセルブロックの2個のR/W制御用トランジスタ $Q_{R/W1}$ および $Q_{R/W2}$ のゲート電極には、R/W制御用トランジスタのワード線 $RL1$ および $RL2$ が接続されている。FIG. 32において、選択用トランジスタ $Q_{M0}$ ,  $Q_{M1}$ ,  $Q_{M2}$ ,

$Q_{M3}$ , ...,  $Q_{M15}$ 、読み出し用トランジスタ $Q_{READ}$ 、および2個のR/W制御用トランジスタ $Q_{R/W1}$ および $Q_{R/W2}$ は、nMOSFETで示されているが、pMOSFETで構成することも可能である。

【0140】図33には、周辺回路の接続図を示す。サブブロック[A]の各ワード線 $WL0^A$ ,  $WL1^A$ ,  $WL2^A$ ,  $WL3^A$ , ...,  $WL15^A$ は、ローデコードAにサブブロック[B]の各ワード線 $WL0^B$ ,  $WL1^B$ ,  $WL2^B$ ,  $WL3^B$ , ...,  $WL15^B$ はローデコードBに、各ビット線 $BL0$ ,  $BL1$ , ...はカラムデコードに接続されている。

【0141】図32および図33に示す回路構成において、サブブロック[A]内の $BL_x$  ( $x=0, 1$ )と $WL_y^A$  ( $y=0, 1, 2, \dots, 15$ )の交点で示される所望の記憶セルを選択するには、 $WL0^A$ から $WL_y^A$ までのワード線を全て“1 (ハイレベル)”として $Q_{M0}$ から $Q_{M_y}$ までの選択用のトランジスタを全てオンに、ワード線 $WL_{y+1}^A$ を“0 (ローレベル)”として選択用トランジスタ $Q_{M_{y+1}}$ をオフにして、電位一定 (例えば $1/2 V_G$ ) のプレート線 $PL$ に対して、 $BL_x$ に電位を加えることで達成される。

【0142】図34にはさらに「プリチャージ読み出し/直接書き込み方式」を採用した場合の読み出し/書き込みシーケンスを示す。すなわち、プリチャージ読み出し方式においては、 $WL_y^A$  ないし  $WL_y^B$  を選択する前に、第2のR/W制御用トランジスタ $Q_{R/W2}$ をオンにし、電位一定のプレート線 $PL$ に対して参照用キャパシタ $C_{REF}$ および選択するセルの手前の $WL0^A$ から $WL_{y-1}^A$ まで、ないしは $WL0^B$ から $WL_{y-1}^B$ までに電圧を加えてプリチャージを行なう。その後、R/W制御用トランジスタ $Q_{R/W}$ をオフにし、 $WL_y^A$  ないし  $WL_y^B$  を選択することにより、記憶用キャパシタ $C_{M_y}$ の電荷を読みだすものである。記憶用キャパシタ $C_{M_y}$ への書き込みは、まず、第1のR/W制御用トランジスタ $Q_{R/W1}$ がビット線 $BL$ に書き込み電圧を供給するためにはオンされて、 $WL0^A$ から $WL_{y-1}^A$ まで、ないしは $WL0^B$ から $WL_{y-1}^B$ までを選択する。したがって、記憶用キャパシタ $C_{M_y}$ に電圧を直接印加することにより反転させる。

【0143】図35(a)は、本発明の第5実施形態の平面図で、見やすくするために、図35(b)に示す断面図におけるA-A'のレベルよりも下層のみを示す。ビット線に接続された1個のブロック内に、8個の記憶セルを持つサブブロックが2個、読み出しトランジスタ $Q_{READ}$ 、および2個のR/W制御用のトランジスタ $Q_{R/W1}$ および $Q_{R/W2}$ が含まれる。記憶セルの寸法は $4F^2$ 、ブロックあたりの記憶セル以外の領域は $22F^2$ であるから、メモリセル1個当たり $(4+22/16)F^2$ になる。本実施例では常誘電体キャパシタとして $20 \text{ mF/cm}^2$ の容量を持ち、かつ非線形の強いものを使



用したために、16個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、1個当たり5、4F<sup>2</sup>の寸法になった。

【0144】また、図35(b)は図35(a)の平面図のB-B'に沿った断面図である。シリコン基板上に、nMOS型のトランジスタから形成されている。各選択用トランジスタQ<sub>M0</sub>、Q<sub>M1</sub>、Q<sub>M2</sub>、Q<sub>M3</sub>、…、Q<sub>M15</sub>の主電極領域には下部電極L<sub>E</sub>、上部電極T<sub>E</sub>および強誘電体膜よりなる記憶用キャパシタC<sub>M0</sub>、C<sub>M1</sub>、C<sub>M2</sub>、C<sub>M3</sub>、…、C<sub>M15</sub>が形成されている。また、NANDセルメモリ列の端部の選択用トランジスタQ<sub>M0</sub>のもう1つの主電極上には同様に参照用キャパシタC<sub>REF</sub>が形成されている。このような回路構成により、非常に高集積化された半導体メモリの動作が確認できた。

【0145】(第6実施形態)図36(a)ないし(d)は、本発明の第6実施形態に係るChain型半導体記憶装置の工程順模式断面図である。各図において、符号1は第1導電型半導体基板、2は第2導電型不純物拡散層、3は素子間分離絶縁膜、4はゲート酸化膜、5はワード線、6は単結晶Siエピタキシャル成長層、7、8、9は絶縁膜、11および15はバリア金属、12は下部電極、13は誘電体薄膜、14は上部電極、23は内部配線、24はビアプラグである。

【0146】まず、図36(a)においては、既知の工程によりメモリセルのトランジスタ部を形成した後、単結晶Si層6の選択エピタキシャル成長を行ない、化学的機械的研磨(CMP)法により平坦化したところである。このとき、ワード線5の絶縁膜として酸化シリコン膜を用いた。また、Si基板上的電極にRIE工程で生じた表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングの後、そのまま真空中でCVD室に搬送し、1mTorrの圧力のSiH<sub>4</sub>ガスとドナーとして加えた0.1mTorrのAsH<sub>3</sub>ガスを使用して750℃で選択エピタキシャル成長を行なった。

【0147】次に、図36(b)に示すように、単結晶Si層6にCMP(Chemical and Mechanical Polishing)工程で生じた表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングの後、バリア金属11として反応性スパッタ法により600℃でTiNを積層し、引き続き下部電極12としてスパッタ法により600℃でSrTiO<sub>3</sub>(SROと以降略称する)膜を積層し、引き続きBaTiO<sub>3</sub>(以下、BTOと略記する)強誘電体薄膜13をスパッタ法により600℃で40nmの厚さに積層し、引き続き上部電極14としてスパッタ法により600℃でSrTiO<sub>3</sub>(SROと以降略称する)膜を積層し、引き続きバリア金属15として反応性スパッタ法により600℃でTiNを積層したところである。このとき、単結晶Si層6の上には、バリア金属11、下部電極12、強誘電体薄膜13、上部電極14の全てがエピタキシャル成長を生じて単結晶にな

った。

【0148】次に、図36(c)に示すように、既知のリソグラフィーおよびRIE(Reactive Ion Etching)法により、バリア金属11、下部電極12、強誘電体膜13、上部電極14、バリア金属15、および単結晶Si層6のパターニングを行なった。次に、TEOSを原料ガスとして使用したプラズマCVD法により酸化シリコン絶縁膜7をコンフォーマルに成膜し、異方性エッチングによりキャパシタの絶縁膜側壁を形成した。次に、CVD(Cheical Vapour Deposition)法によりタングステン(W)からなるビアプラグ24を埋め込み、バリア金属15をストッパーとして用いたCMP法により平坦化を行なった。

【0149】次に、図36(d)に示すように、スパッタ法によりWからなる内部配線23を形成し、既知のリソグラフィーおよびRIE法により、強誘電体膜13、上部電極14、バリア金属15、および内部配線23のパターニングを行なった。次にTEOSを原料ガスとして使用したプラズマCVD法により酸化シリコン絶縁膜8を埋め込み、内部配線23をストッパーとして用いたCMP法により平坦化を行なった。さらに層間絶縁膜9を作成した。

【0150】このような工程で作成した後、X線回折装置により膜方位を測定したところ、TiNバリア膜、SRO電極膜、BTO誘電体膜すべてが(001)方位にエピタキシャル成長していることが確かめられ、またBTO膜の膜厚方向の格子定数は0.434nmと大きく伸びていた。また、形成した強誘電体薄膜キャパシタの誘電特性を測定したところ、残留分極量として0.42C/m<sup>2</sup>と大きな値が得られ、強誘電体キャパシタとして機能することが確めることができた。

【0151】(第7実施形態)図37(a)ないし(c)および図38(d)(e)は、本発明の第7実施形態に係るChain型半導体記憶装置の工程順模式断面図である。符号1は第1導電型半導体基板、2は第2導電型不純物拡散層、5はワード線、6は単結晶Siエピタキシャル成長層、7、8、9、10は絶縁膜、11は下部バリア金属膜、12は下部電極、13は誘電体薄膜、14は上部電極、15は上部バリア金属膜、20はプレート電極、21は単結晶Si成長用ノード、22はキャパシタのコンタクト部、23は内部配線である。

【0152】まず、図37(a)に示すように、第1導電型のSi(100)基板1の表面に深さ0.1μm程度の第2導電型の不純物拡散層からなるプレート電極20を形成した後、下部バリア金属層11として膜厚10nmの(Ti, Al)N、下部電極12として膜厚20nmのSROを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長した。次に、リソグラフィーおよびRIEなどによるエッチングにより基板1に達するまでパターニン

グを行ない、素子間分離絶縁膜3をTEOSガスを原料としたプラズマCVD法等により埋め込み、下部電極をストップとしてCMP法などにより平坦化した。次に、下部電極表面の平坦化により生じた損傷層をウェットエッチングなどにより取り除いた後、誘電体膜13として厚さ20nmのBaTiO<sub>3</sub>薄膜、上部電極14として厚さ20nmのSRO膜、さらに上部バリア金属層15として膜厚10nmの(Ti, Al)Nを、基板温度600℃でREあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長し、さらに、第1の絶縁膜7をTEOSガスを原料としたプラズマCVD法等により形成した。

【0153】次に、図37(b)に示すように、単結晶Si成長用ノード21をリソグラフィーおよびRIEなどによるエッチングにより形成した。次に第2の絶縁膜8をコンフォーマルに形成した。次に、第1の絶縁膜7を残して、異方性RIEにより第2の絶縁膜8を除去することにより、単結晶Si成長用ノードの側壁部分にも絶縁膜をセルフアラインにより残した。次に、Si表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングの後、そのまま真空中でCVD室に搬送し、1mTorrの圧力のSiH<sub>4</sub>ガスとドナーとして加えた0.1mTorrのAsH<sub>3</sub>ガスを使用して750℃で、単結晶Si成長用ノード21から選択エピタキシャル成長により単結晶Si層6を形成した。次に、第1の絶縁膜7を停止層とし、CMP法(化学的機械的研磨法)により平坦化した。

【0154】次に、図37(c)に示すように、フォトリソグラフィー法とRIE法などのプラズマエッチングを用いてキャパシタのパターニングを行なって上部電極へのコンタクトホール26を形成し、さらにフォトリソグラフィー法とRIE法などのプラズマエッチングを用いてキャパシタのパターニングを行なって上部電極へのコンタクトホール27を形成し、絶縁膜9をコンフォーマルに形成した。次に第1の絶縁膜7を残して、異方性RIEにより絶縁膜9を除去することにより、側壁部分の絶縁膜をセルフアラインにより残した。次にCVD法によりタングステン(W)からなるヴィアプラグ24および25を埋め込み、第1の絶縁膜7をストップとして用いたCMP法により平坦化を行った。

【0155】次に、図38(d)に示すように、公知のプロセスを使用して、不純物拡散層2、ゲート酸化膜(図示せず)、ワード線5からなるトランジスタを形成した。

【0156】次に、図38(e)に示すように、例えばN+型不純物を含んだポリSi膜を約200nm程度の膜厚で堆積し、フォトリソグラフィー法とRIE法などのプラズマエッチングを用いてパターニングを行なってヴィアプラグ24ないし25とトランジスタの主電極を接続する内部配線23を形成した。

【0157】このような工程により、強誘電体膜を使用したキャパシタとトランジスタからなるChain型メモリセルを作成することができ、FRAMとしての動作が確認された。

【0158】(第8実施形態)次に、本発明の第8実施形態に係る半導体記憶装置について、図39(a)ないし(c)および図40(d)(e)に示す工程順模式断面図を用いて説明する。各図において、符号1は第1導電型半導体基板、2は第2導電型不純物拡散層、3は素子間分離絶縁層、4はゲート酸化膜、5はワード線、6は単結晶Siエピタキシャル成長層、7、8は絶縁膜、11および15はバリア金属、12は下部電極、13は誘電体薄膜、14は上部電極、20はプレート電極、30はコンタクトプラグ、31は第1の貼り合せ層、32は第2のSi(100)基板、33は貼り合せ層である。

【0159】まず、図39(a)に示すように、第1のSi(100)基板1に、公知のプロセスを使用して、不純物拡散層2、ゲート酸化膜4、ワード線5からなるトランジスタや、素子間分離絶縁膜3、およびキャパシタとのコンタクトプラグ30を形成し、化学的機械的研磨(CMP)等の方法により平坦化した。次に、表面に第1の貼り合せ層31としてAl膜を全面に形成した。

【0160】次に、図39(b)に示すように、第2のSi(100)基板32に、下部バリア金属層11として膜厚10nm(Ti, Al)N、下部電極12として膜厚20nmのSrRuO<sub>3</sub>、誘電体膜13としてBaのモル分率70%で厚さ20nmのBSTO薄膜、上部電極14として厚さ20nmのSrRuO<sub>3</sub>膜、さらに上部バリア金属層15として膜厚10nmの(Ti, Al)Nを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長した。次に、表面に第2の貼り合せ層33としてAl膜を全面に形成した。

【0161】次に、図39(c)に示すように、第1の貼り合せ層と第2の貼り合せ層を、真空度3×10<sup>-8</sup>Torr以上の超高真空中でArガスのスパッタリングにより表面に生成された酸化層を除去してAlの新生面を出し、そのまま大気中に晒さずに第1の貼り合せ層と第2の貼り合せ層を突き合わせ、400℃で30分間加圧して接合した。

【0162】次に、図40(d)に示すように、貼り合わせた第2の基板を裏面からCMP等により研磨してキャパシタ層およびSi層を0.2μm程度残した。その後、第1の基板により位置合せを行ない、各メモリセル毎にキャパシタをパターニングした。この際のエッチング条件として、酸化層をエッチング停止層として使用すると良い。次に絶縁膜7をコンフォーマルに形成した。次に異方性RIEにより絶縁膜7を除去することにより、キャパシタ側壁部分の絶縁膜をセルフアラインに

より残した。次に、例えばN<sup>+</sup>型不純物を含んだポリSi膜を約200nm程度の膜厚で埋め込み、Si層32をストップとして用いたCMP法により平坦化を行ない、ヴィアプラグ24を形成した。

【0163】次に、図30(e)に示すように、スパッタ法によりTiNからなる内部配線23を形成し、既知のリソグラフィーおよびRIE法により、強誘電体膜13、上部電極14、バリア金属15、および内部配線23のパターニングを行なった。次に、TEOSを原料ガスとして使用したプラズマCVD法により酸化シリコン絶縁膜8を埋め込み、内部配線23をストップとして用いたCMP法により平坦化を行ない、さらに、層間絶縁膜9を作成した。

【0164】このような工程により、強誘電体膜を使用したキャパシタとトランジスタからなるメモリセルを歩留まり良く作成することができ、FRAMとしての動作が確認された。

【0165】(第9実施形態)図41(a)ないし(c)は、本発明の第9実施形態に係る半導体記憶装置におけるNAND型セルの工程順模式断面図である。各図において、符号1は第1導電型半導体基板、2は第2導電型不純物拡散層、3は素子間分離絶縁膜、4はゲート酸化膜、5はワード線、6は単結晶Siエピタキシャル成長層、7, 8, 9は絶縁膜、11および14はバリア金属、12は下部電極、13は誘電体薄膜、14は上部電極、20はプレート電極である。

【0166】図41(a)は、既知の工程によりメモリセルのトランジスタ部を形成した後、単結晶Si層6の選択エピタキシャル成長を行ない、化学的機械的研磨(CMP)法により平坦化したところである。このとき、ワード線5の絶縁膜として酸化シリコン膜を用いた。また、Si基板上の電極にRIE工程で生じた表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングの後、そのまま真空中でCVD室に搬送し、1mTorrの圧力のSiH<sub>4</sub>ガスとドナーとして加えた0.1mTorrのAsH<sub>3</sub>ガスを使用して750℃で選択エピタキシャル成長を行った。

【0167】次に、図41(b)に示すように、単結晶Si層6にCMP工程で生じた表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングの後、バリア金属11として反応性スパッタ法により600℃でTiNを積層し、引き続き下部電極12としてスパッタ法により600℃でSrTiO<sub>3</sub>(SROと以降略称する)膜を積層し、引き続きBaTiO<sub>3</sub>(BTOと以降略称する)強誘電体薄膜13をスパッタ法により600℃で40nmの厚さに積層し、引き続き上部電極14としてスパッタ法により600℃でSrTiO<sub>3</sub>(以下、SROと略記する)膜を積層し、引き続きバリア金属15として反応性スパッタ法により600℃でTiNを積層したところである。このとき、単結晶Si層6の上

には、バリア金属11、下部電極12、強誘電体薄膜13、上部電極14の全てがエピタキシャル成長を生じて単結晶になったが、ワード線5の絶縁膜の上には全て多結晶として成長した。

【0168】次に、図41(c)に示すように、既知のリソグラフィーおよびRIE法により、バリア金属11、下部電極12、強誘電体膜13、上部電極14、バリア金属15、および単結晶Si層6のパターニングを行った。このとき絶縁膜をストッパーとして使用した。パターニングした溝内にTEOSを原料ガスとして使用したプラズマCVD法により酸化シリコン絶縁膜7を埋め込み、バリア金属15をストッパーとして用いたCMP法により平坦化を行なった。その後スパッタ法によりプレート電極20としてTiNを積層し、さらに層間絶縁膜8を作成した。

【0169】このような工程で作成した後、X線回折装置により膜方位を測定したところ、TiNバリア膜、SRO電極膜、BTO誘電体膜すべてが(001)方位にエピタキシャル成長していることが確かめられ、またBTO膜の膜厚方向の格子定数は0.434nmと大きく伸びていた。また、形成した強誘電体薄膜キャパシタの誘電特性を測定したところ、残留分極量として0.42C/m<sup>2</sup>と大きな値が得られ、強誘電体キャパシタとして機能することが確かめられた。

【0170】(第10実施形態)図42(a)ないし(c)および図43(d)ないし(f)は、本発明の第10実施形態に係る半導体記憶装置におけるNAND型セルの工程順模式断面図である。記憶用キャパシタとして、常誘電体キャパシタを作成した。各図において、符号1は第1導電型半導体基板、2は第2導電型不純物拡散層、5はワード線、6は単結晶Siエピタキシャル成長層、7, 8, 9, 10は絶縁膜、11は下部バリア金属、12は下部電極、13は誘電体薄膜、14は上部電極、15は上部バリア金属膜、20はプレート電極、21は単結晶Si成長用ノード、22はキャパシタのコンタクト部、23は内部配線である。

【0171】まず、図42(a)に示すように、第1導電型のSi(100)基板1の表面に深さ0.1μm程度の第2導電型の不純物拡散層からなるプレート電極20を形成した後、下部バリア金属層11として膜厚10nmの(Ti, Al)N、下部電極12として膜厚20nmのSRO、誘電体膜13として厚さ20nmの(Ba<sub>0.2</sub>Sr<sub>0.8</sub>)TiO<sub>3</sub>薄膜、上部電極14として厚さ20nmのSRO膜、さらに上部バリア金属層15として膜厚10nmの(Ti, Al)Nを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長し、さらに第1の絶縁膜7をTEOSガスを原料としたプラズマCVD法等により形成した。

【0172】次に、図42(b)に示すように、単結晶

Si成長用ノード21をリソグラフィーおよびRIEなどによるエッチングにより形成した。次に第2の絶縁膜8をコンフォーマルに形成した。

【0173】次に、図42(c)に示すように、第1の絶縁膜7を残して、異方性RIEにより第2の絶縁膜8を除去することにより、単結晶Si成長用ノードの側壁部分にも絶縁膜をセルフアラインにより残した。次に、Si表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングの後、そのまま真空中でCVD室に搬送し、1mTorrの圧力のSiH<sub>4</sub>ガスとドナーとして加えた0.1mTorrのAsH<sub>3</sub>ガスを使用して750℃で、単結晶Si成長用ノード21から選択エピタキシャル成長により単結晶Si層6を形成した。次に絶縁膜を停止層とし、CMP法(化学的機械的研磨法)により平坦化した。

【0174】次に、図43(d)に示すように、フォトリソグラフィー法とRIE法などのプラズマエッチングを用いてキャパシタのパターニングを行ない、絶縁膜を埋込み、CMPにより平坦化してキャパシタ分離用絶縁膜9を形成した。

【0175】次に、図43(e)に示すように、公知のプロセスを使用して、不純物拡散層2、ゲート酸化膜(図示せず)、ワード線5からなるトランジスタを形成した。

【0176】次に、図43(f)に示すように、フォトリソグラフィー法とRIE法などのプラズマエッチングを用いて、キャパシタのコンタクト部22を開孔した。このときのエッチング条件として、上部バリア金属層15ないし上部電極14のいずれかをストッパーとして用いて選択的にストップさせると良い。次に、全面に例えばN<sup>+</sup>型不純物を含んだポリSi膜を約200nm程度の膜厚で堆積し、全面をCMPおよびRIEなどの方法でエッチングすることによりコンタクト部22とトランジスタの主電極を接続する内部配線23を形成した。さらに層間絶縁膜10を形成した。

【0177】このような工程により、強誘電体膜を使用したキャパシタとトランジスタからなるNAND型メモリセルを作成することができ、NAND型FRAMとしての動作が確認された。

【0178】(第11実施形態)本発明の第11実施形態に係る半導体記憶装置について、工程順模式断面図である図44(a)-(c)および図45(d)(e)を用いて説明する。符号1は第1導電型半導体基板、2は第2導電型不純物拡散層、3は素子間分離絶縁層、4はゲート酸化膜、5はワード線、6は単結晶Siエピタキシャル成長層、7、8は絶縁膜、11および14はバリア金属、12は下部電極、13は誘電体薄膜、14は上部電極、20はプレート電極、30はコンタクトプラグ、31は第1の貼り合せ層、32は第2のSi(100)基板、33は第2の貼り合せ層である。

【0179】まず、図44(a)に示すように、第1のSi(100)基板1に、公知のプロセスを使用して、不純物拡散層2、ゲート酸化膜4、ワード線5からなるトランジスタや、素子間分離絶縁膜3、およびキャパシタとのコンタクトプラグ30を形成し、化学的機械的研磨(CMP)等の方法により平坦化した。次に、表面に第1の貼り合せ層31としてAl膜を全面に形成した。

【0180】次に、図44(b)に示すように、第2のSi(100)基板32に、下部バリア金属層11として膜厚10nm(Ti, Al)N、下部電極12として膜厚20nmのSrRuO<sub>3</sub>、誘電体膜13としてBaのモル分率70%で厚さ20nmのBSTO薄膜、上部電極14として厚さ20nmのSrRuO<sub>3</sub>膜、さらに上部バリア金属層15として膜厚10nmの(Ti, Al)Nを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長した。次に、表面に第2の貼り合せ層33としてAl膜を全面に形成した。

【0181】次に、図44(c)に示すように、第1の貼り合せ層と第2の貼り合せ層を、真空度3×10<sup>-8</sup>Torr以上の超高真空中でArガスのスパッタリングにより表面に生成された酸化層を除去してAlの新生面を出し、そのまま大気中に晒さずに第1の貼り合せ層と第2の貼り合せ層を突き合わせて、400℃で30分間加圧して接合した。

【0182】次に、図45(d)に示すように、貼り合わせた第2の基盤を裏面からCMP等により研磨してキャパシタ層およびSi層を0.2μm程度残した。その後、第1の基板により位置合せを行ない、各メモリセルごとにキャパシタをパターニングした。この際のエッチング条件として、酸化物層をエッチング停止層として使用すると良い。さらにTEOSガスを原料としたプラズマCVD法により絶縁膜7を埋め込んだ後、再びCMP法等により平坦化した。

【0183】最後に、図45(e)に示すように、プレート電極20としてTi/TiN/Al層を形成した後、絶縁層8を被せた。

【0184】このような工程により、強誘電体膜を使用したキャパシタとトランジスタからなるメモリセルを歩留まり良く作成することができ、FRAMとしての動作が確認された。

【0185】(第12実施形態)図46(a)(b)および図47(c)(d)は、本発明の第12実施形態に係るNAND型セルの工程順模式断面図である。1は第1導電型半導体基板、2は第2導電型不純物拡散層、3は素子間分離絶縁層、4はゲート酸化膜、5はワード線、6は単結晶Si層、7、8、9は絶縁膜、11は第1のバリア金属、12は第1の電極、13は誘電体薄膜、14は第2の電極、15は第2のバリア金属層、20はプレート電極、30はコンタクトプラグ、31は第

1の貼り合せ層、32は第2のSi(100)基板、33は第2の貼り合せ層である。

【0186】まず、図46(a)に示すように、第1導電型のSi(100)基板1の第1の表面に、第1のバリア金属11として膜厚10nmの(Ti, Al)N膜、第1の電極12として膜厚20nmのSRO、強誘電体膜13としてBaのモル分率70%で厚さ20nmのBSTO薄膜、第2の電極14として厚さ20nmのSRO膜、第2のバリア金属層15として膜厚10nmのTiN膜を、それぞれRFあるいはDCスパッタ法により基板温度600℃でエピタキシャル成長させた。さらに、プレート電極20として室温で200nmのTiN膜を形成した。次に第1の貼り合せ用絶縁膜31としてBPSGを例えば500nm程度成膜した後、例えばCMP法などにより平坦化した。

【0187】次に、第2のSi基板32を用意し、表面に第2の貼り合せ層33としてBPSG層を作成した平坦化した。次に、第1の貼り合せ用絶縁膜31と第2の貼り合せ層33を突き合わせて接着した。接着には、公知の方法、例えば900℃程度の熱処理により行った。

【0188】次に、図46(b)に示すように、第1のSi基板1の第2の表面から研磨していくものとして、図示説明を控える。セル領域周辺の研磨停止層などを利用して、例えば10nm程度の厚さの薄膜シリコン層を形成する。この他のスマートカット等の接着、研磨によるSOIの形成方法を用いても良い。

【0189】次に、通常のフォトリソグラフィ法とRIE法などのプラズマエッチングを用いて、素子分離のための溝を開口した。このときのエッチング条件として、キャパシタの誘電膜13をストッパーとして用いて選択的に停止させると良い。次に、埋め込み絶縁膜7を成膜し、CMPにより平坦化した。さらに、RIEなどにより埋め込み絶縁膜7を選択的に浅くエッチングした後、第2導電型の単結晶シリコン層6を形成し、再び平坦化したこのときの単結晶シリコン層の形成方法として、アモルファスシリコン層をコンフォーマルに形成した後RTPなどの熱処理により側壁部分より結晶化して単結晶とする方法、選択成長CVD法などにより単結晶シリコンを選択的に埋め込む方法などが挙げられる。

【0190】次に、図47(c)に示すように、素子間を分離するための第2の溝をリソグラフィおよびRIEなどによるエッチングにより形成した。このとき、キャパシタの誘電膜5をエッチング停止層として使用すると良い。次に、埋め込み絶縁膜8を成膜し、CMPなどにより平坦化した。

【0191】最後に、図47(d)に示すように、公知のプロセスを使用して、第2導電型の不純物拡散層2、ゲート酸化膜4、ワード線5からなるトランジスタや、層間絶縁膜9を形成した。

【0192】このような工程により、強誘電体膜を使用

したキャパシタとトランジスタからなるメモリセルを歩留まり良く作成することができ、FRAMとしての動作が確認された。

【0193】(その他の実施の形態)上記のように、本発明は第1ないし第12実施形態によって記載したが、この開示の一部である説明および図面がこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替的な実施形態、実施例および運用技術が明らかとなろう。

10 【0194】既に述べた第1ないし第12実施形態の説明においては、pウェル中にnMOSFETを形成したが、p基板中にnMOSFETを形成してもよい。また、nMOSFETの代わりに、pMOSFETを用いて構成しても良い。pMOSFETを用いる場合は、図18、図22あるいは図26に示した読み出し/書き込みシークエンスは、適宜極性を反転すればよい。

20 【0195】また、既に述べた第1ないし第123実施形態に係る半導体記憶装置をSOI基板上に形成してもよいことは勿論である。さらに、図27(b)において、ビット線は、B-B'方向の断面上には露出しないので図示を省略したが、ビット線が、B-B'方向の断面上に露出するような平面レイアウトでも良いことは勿論である。逆に、図19(b)および図23(b)において、断面上にビット線が露出しないような平面レイアウトを採用することも可能である。

30 【0196】このように、本発明はここでは記載されていない様々な実施形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲にかかる発明と指定事項によってのみ限定されるものである。

【0197】以上詳述した実施形態によれば、最小寸法fによるスケールリングが可能となり小さなメモリセル構成を有した半導体記憶素子が提供できる。特に、本発明の上記実施形態によれば、強誘電体分極の安定な保持が可能であり、しかも超高集積化した半導体記憶素子が提供できる。また、本発明によれば、製造プロセスが容易な超高集積化した半導体記憶素子の実現が可能になり、工業的価値は極めて大きい。

【0198】

40 【発明の効果】以上詳述したように本発明によれば、最初寸法fによるスケールリングが可能となり、小さなメモリセル構成を有した半導体記憶素子を提供できる。また、プロセスが容易であるにも拘わらず、小さなメモリセルを構成することができ、強誘電体分極の安定な保持や、スケールリングが可能になるという特徴を有する超高集積化した半導体記憶素子の実現が可能になり、本発明の工業的価値は極めて大きい。

【図面の簡単な説明】

50 【図1】本発明の基本的な構成を説明するためのメモリセルの等価回路図。

【図2】本発明の半導体記憶装置の(a)記憶“1”、(b)記憶“0”における読み出し動作をそれぞれ説明する模式図。

【図3】本発明の半導体記憶装置の(a)記憶“1”、(b)記憶“0”における読み出し／書き込み動作をそれぞれ説明する模式図。

【図4】参照用キャパシタ $C_{REF}$ が強誘電体薄膜の場合の本発明のメモリセルの等価回路図。

【図5】図4の回路の直列電圧印加の読み出し動作による(a)記憶“1”、(b)記憶“0”の読み出し動作をそれぞれ説明する模式図。

【図6】参照用強誘電体キャパシタのアリチャージモードにおける(a)記憶“1”、(b)記憶“0”の読み出し動作をそれぞれ示す模式図。

【図7】本発明のそれぞれ基本的な構成(a)(b)(c)を説明するためのメモリセルの等価回路図。

【図8】本発明の半導体記憶装置をより高集積化するための具体的な構成(a)(b)をそれぞれ示す回路図。

【図9】参照用キャパシタ $C_{REF}$ が強誘電体薄膜により形成された場合の高集積化に適した本発明の具体的な構成(a)(b)をそれぞれ示す回路図。

【図10】スケーラブルNAND-FLASHによる本発明の基本構成を説明するためのメモリセルの等価回路図。

【図11】非対称な強誘電体ヒステリシスを持つ強誘電体キャパシタの分極状態(a)(b)をそれぞれ説明する模式図。

【図12】図10の回路において、常誘電体キャパシタを使用した場合の基本的な構成を説明するためのメモリセルの等価回路図。

【図13】常誘電体キャパシタを使用した場合の読み出し動作(a)(b)をそれぞれ説明する模式図。

【図14】非線形な容量特性を持つ常誘電体キャパシタの分極状態を説明する模式図。

【図15】本発明の幾つかの回路構成(a)ないし(d)を説明するためのメモリセルのそれぞれ等価回路図。

【図16】本発明の第1実施形態に係る半導体記憶装置の主要部の回路構成図。

【図17】第1実施形態に係る半導体記憶装置の周辺回路を含む主要部の回路構成図。

【図18】第1実施形態に係る半導体記憶装置の読み出し／書き込みシーケンスを示すタイミング図。

【図19】第1実施形態に係る半導体記憶装置の(a)平面図および(b)断面図。

【図20】本発明の第2実施形態に係る半導体記憶装置の主要部の回路構成図。

【図21】第2実施形態に係る半導体記憶装置の周辺回路を含む主要部の回路構成図。

【図22】第2の実施の形態に係る半導体記憶装置の読

み出し／書き込みシーケンスを示すタイミング図。

【図23】第2実施形態に係る半導体記憶装置の(a)平面図および(b)断面図。

【図24】本発明の第3実施形態に係る半導体記憶装置の主要部の回路構成図。

【図25】第3実施形態に係る半導体記憶装置の周辺回路を含む主要部の回路構成図。

【図26】第3実施形態に係る半導体記憶装置の読み出し／書き込みシーケンスを示すタイミング図。

【図27】第3実施形態に係る半導体記憶装置の(a)平面図および(b)断面図。

【図28】本発明の第4実施形態に係る半導体記憶装置の主要部の回路構成図。

【図29】第4実施形態に係る半導体記憶装置の周辺回路を含む主要部の回路構成図。

【図30】第4実施形態に係る半導体記憶装置の読み出し／書き込みシーケンスを示すタイミング図。

【図31】第4実施形態に係る半導体記憶装置の(a)平面図および(b)断面図。

【図32】本発明の第5実施形態に係る半導体記憶装置の主要部の回路構成図。

【図33】第5実施形態に係る半導体記憶装置の周辺回路を含む主要部の回路構成図。

【図34】第5実施形態に係る半導体記憶装置の読み出し／書き込みシーケンスを示すタイミング図。

【図35】第5実施形態に係る半導体記憶装置の(a)平面図および(b)断面図。

【図36】本発明の第6実施形態に係る半導体記憶装置のメモリセルの(a)～(d)工程順模式断面図。

【図37】本発明の第7実施形態に係る半導体記憶装置のメモリセルの(a)～(c)工程順模式断面図。

【図38】第7実施形態における図37の続きの工程(d)(e)を示す断面図。

【図39】本発明の第8実施形態に係る半導体記憶装置のメモリセルの(a)～(c)工程順模式断面図。

【図40】第7実施形態における図39の続きの工程(d)(e)を示す断面図。

【図41】本発明の第9実施形態に係る半導体記憶装置のメモリセルの(a)～(c)工程順模式断面図。

【図42】本発明の第10実施形態に係る半導体記憶装置のメモリセルの(a)～(c)工程順模式断面図。

【図43】第10実施形態における図42の続きの工程(d)～(f)を示す断面図。

【図44】本発明の第11実施形態に係る半導体記憶装置のメモリセルの(a)～(c)工程順模式断面図。

【図45】第11実施形態における図44の続きの工程(d)(e)を示す断面図。

【図46】本発明の第12実施形態に係る半導体記憶装置のメモリセルの工程(a)(b)順模式断面図。

【図47】第12実施形態における図46の続きの工程

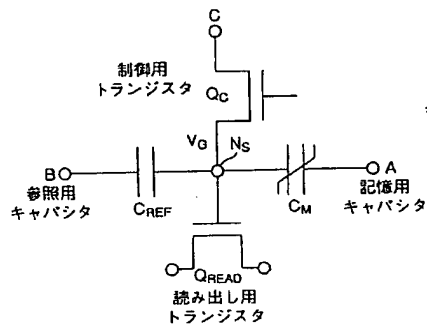
57

(d) (e) を示す断面図。

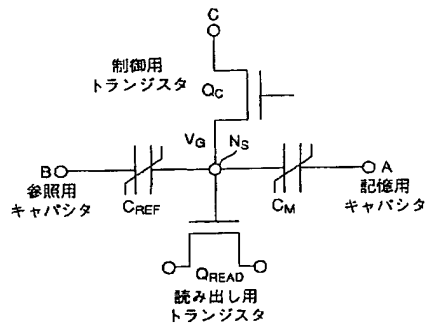
【符号の説明】

$C_{M0} \sim C_{MN}$  記憶用キャパシタ  
 $C_{REF}$  参照用キャパシタ

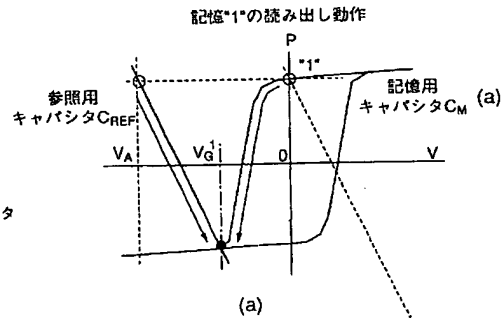
【図1】



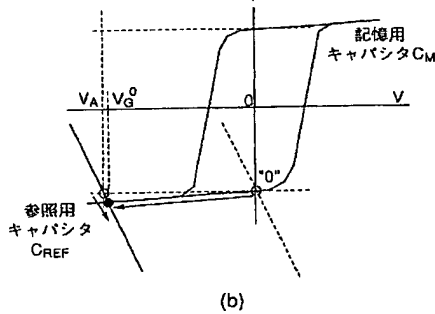
【図4】



【図2】

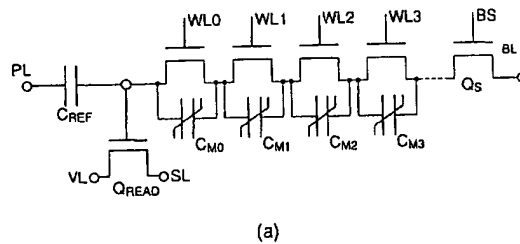


記憶"0"の読み出し動作

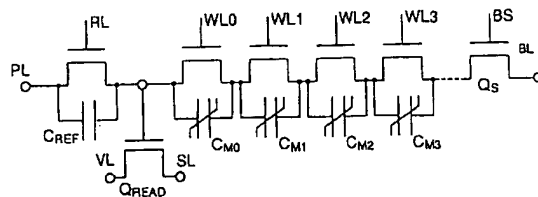


【図8】

チェーン型FeRAMのメモリセルブロック



(a)

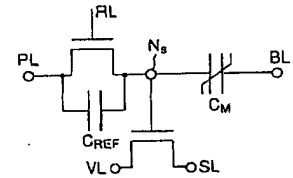


(b)

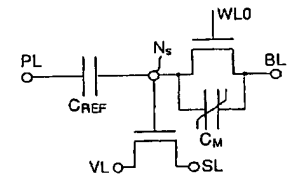
58

$Q_{READ}$  読み出し用トランジスタ  
 $Q_{M0} \sim Q_{MN}$  選択用MOSTランジスタ  
 $Q_c$  制御用トランジスタ  
 $Q_s$  ブロック選択トランジスタ

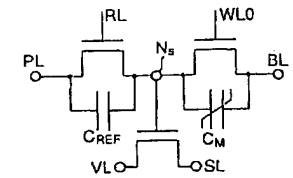
【図7】



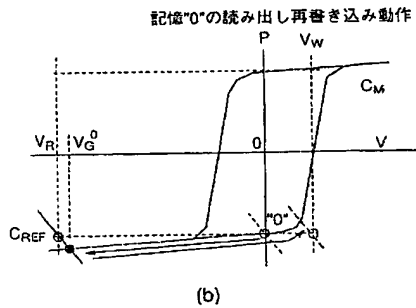
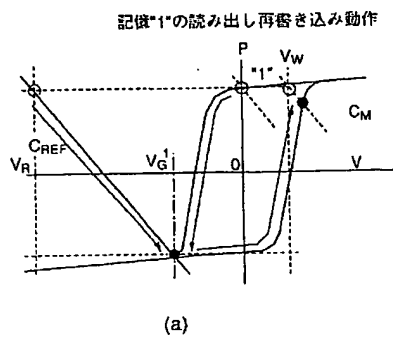
(b)



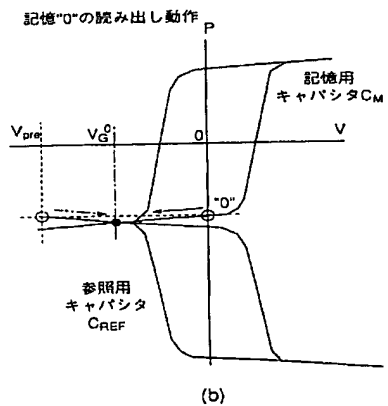
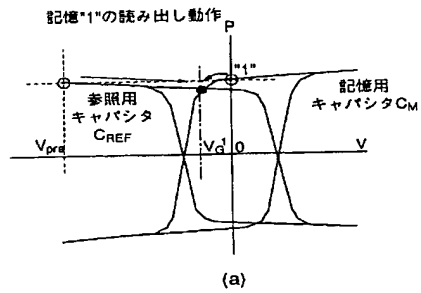
(c)



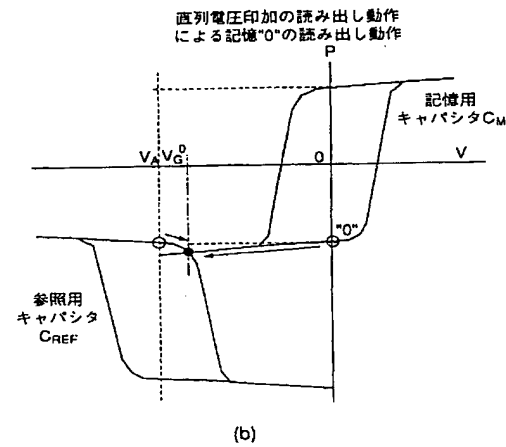
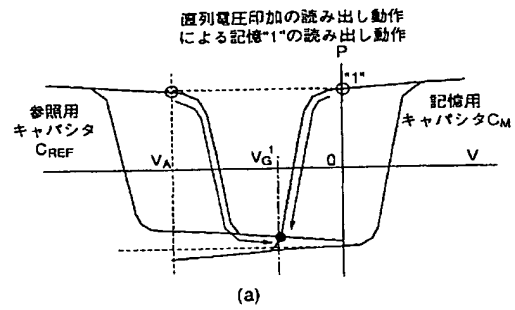
【図3】



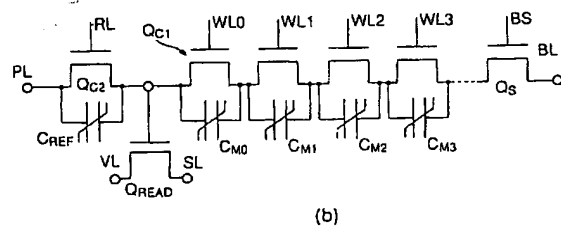
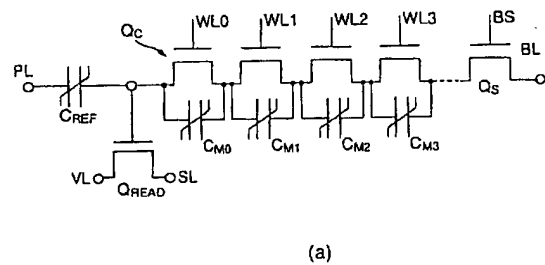
【図6】



【図5】

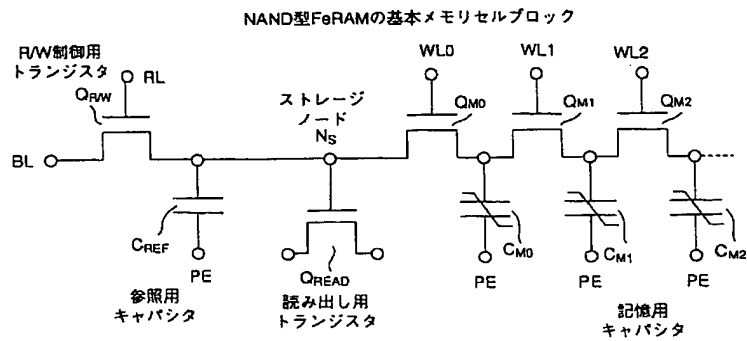


【図9】

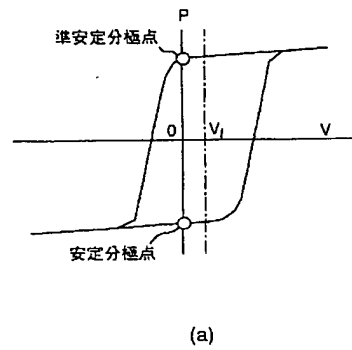




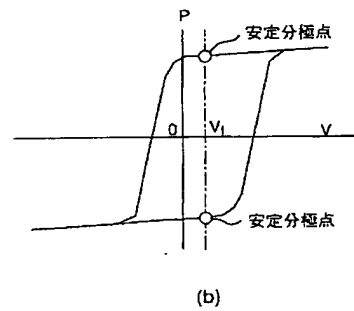
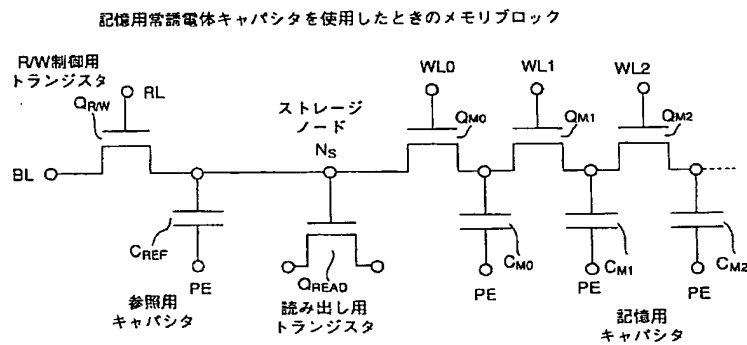
【図10】



【図11】

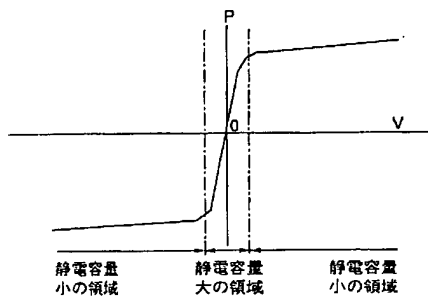


【図12】

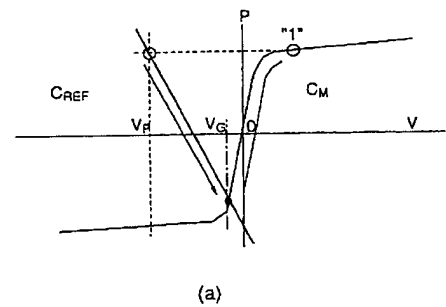


【図13】

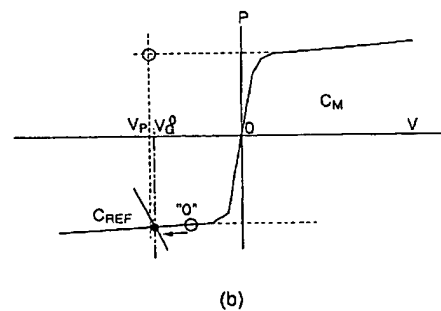
【図14】



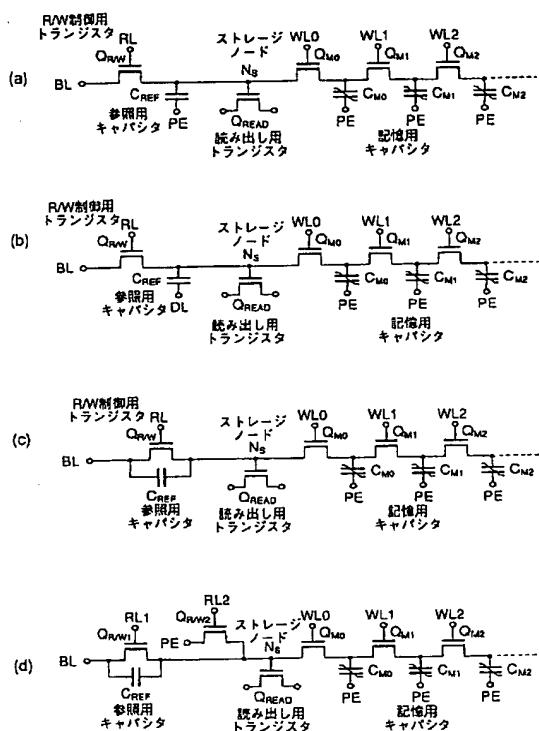
記憶"1"の読み出し動作



記憶"0"の読み出し動作

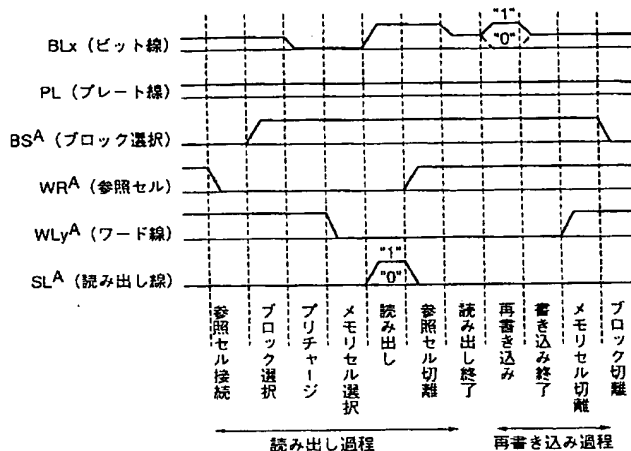


【図15】

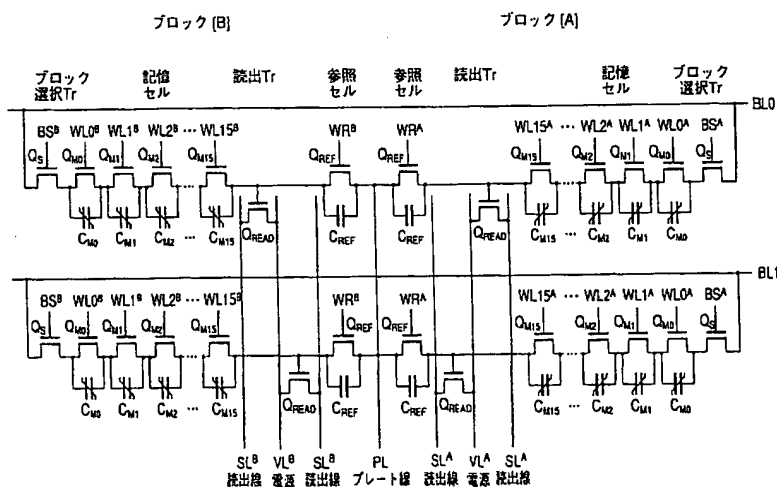


【図18】

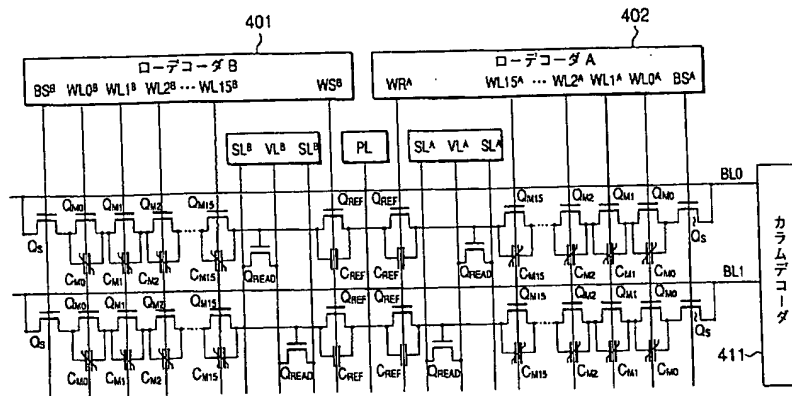
第1実施形態の回路における読み出し/書き込みシーケンス (プリチャージモード)



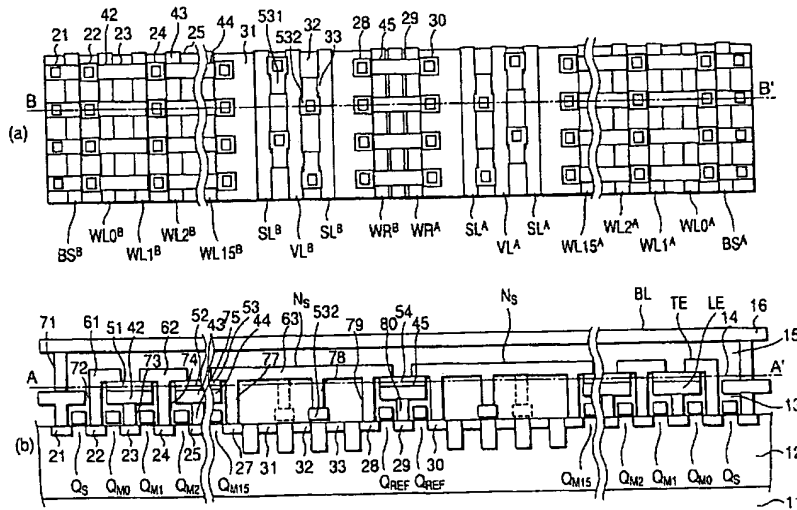
【図16】



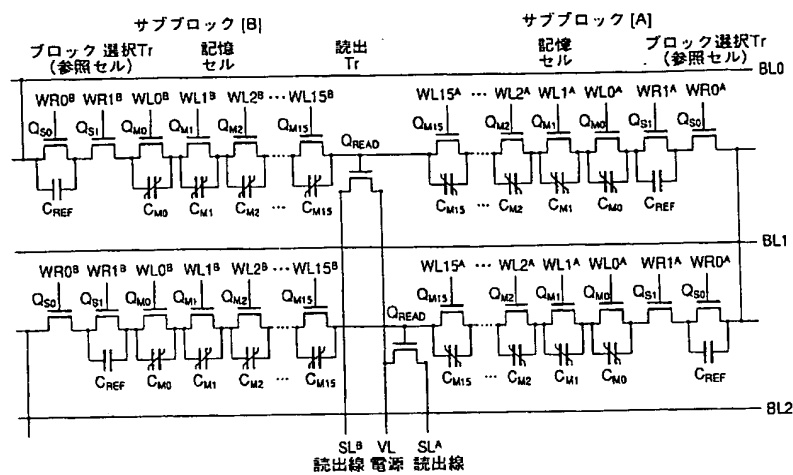
【図17】



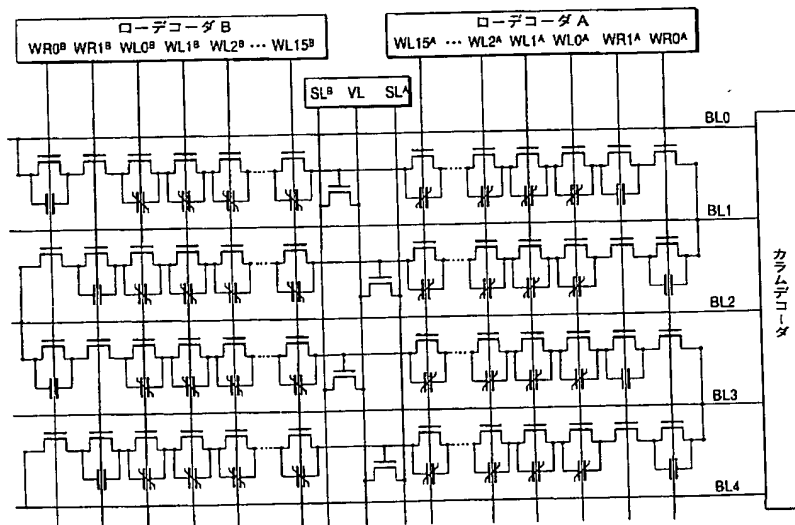
【図19】



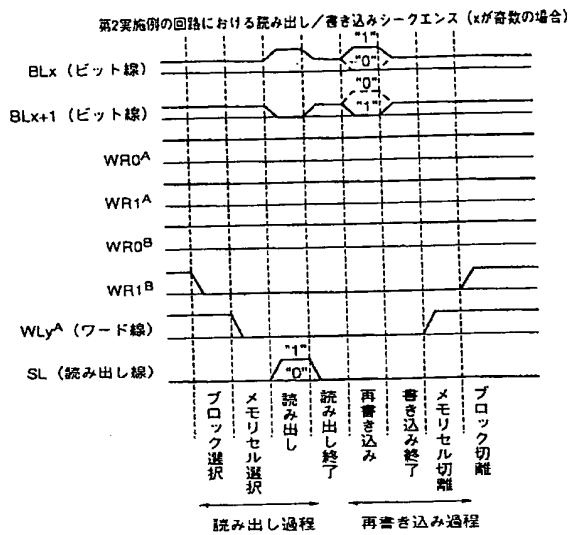
【図20】



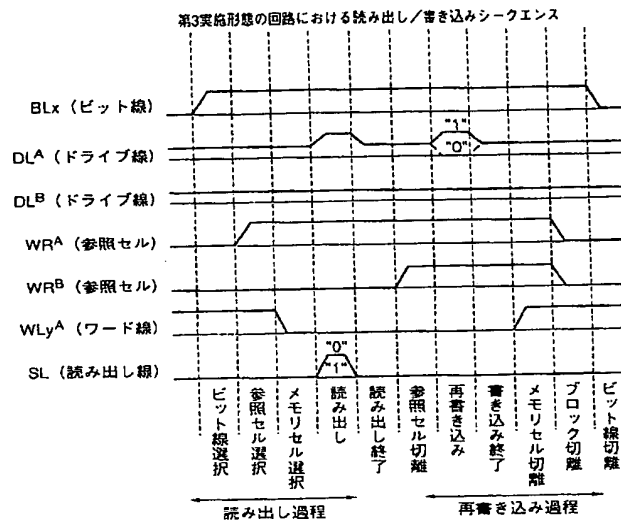
【図21】



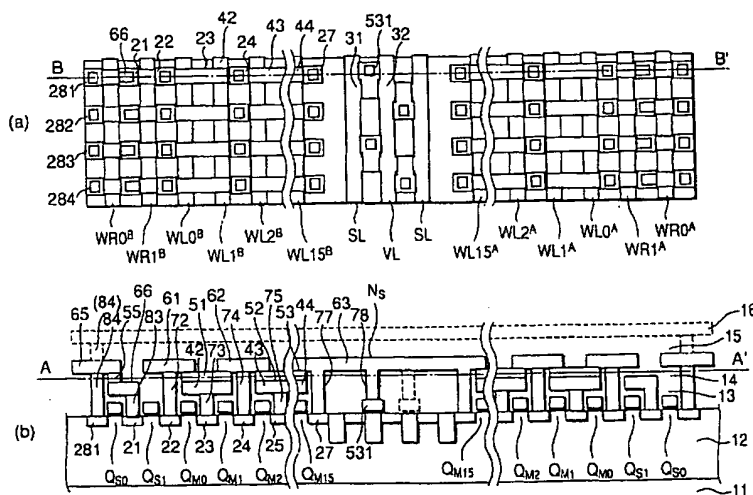
【図22】



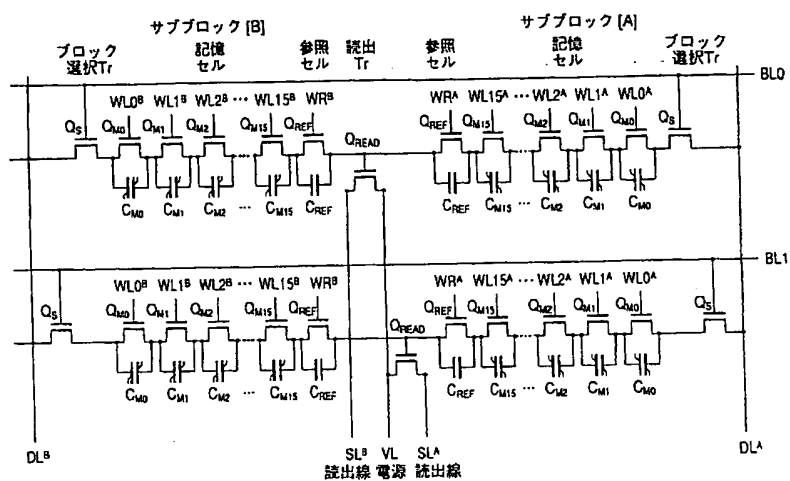
【図26】



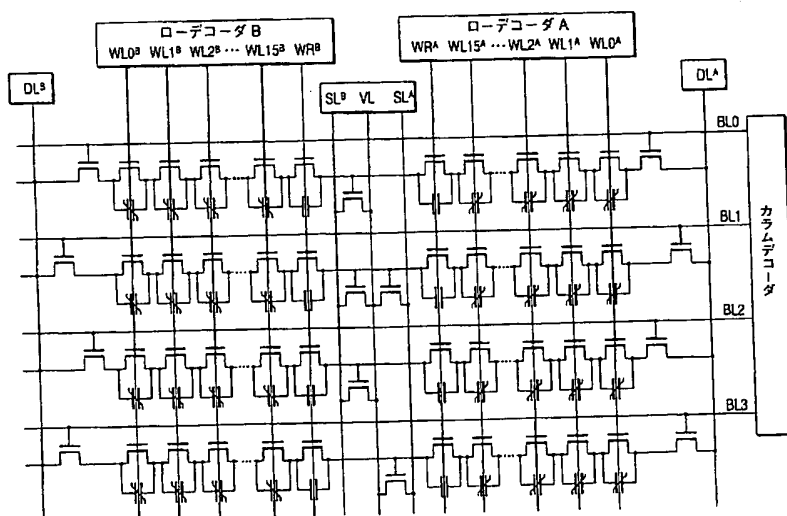
【図23】



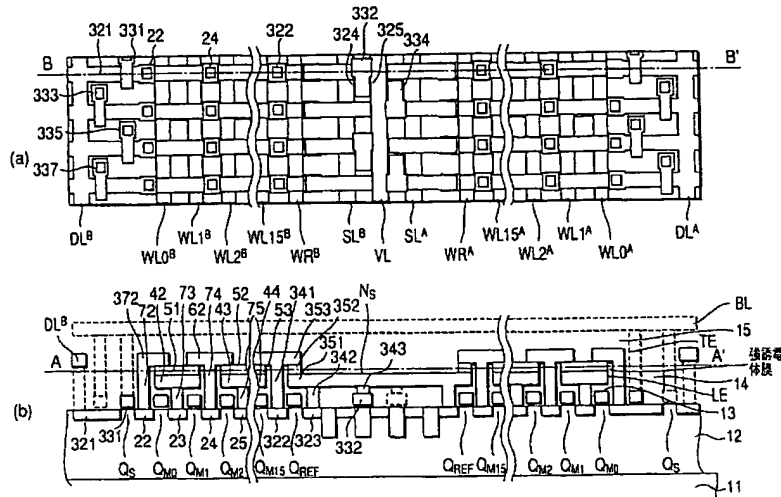
【図24】



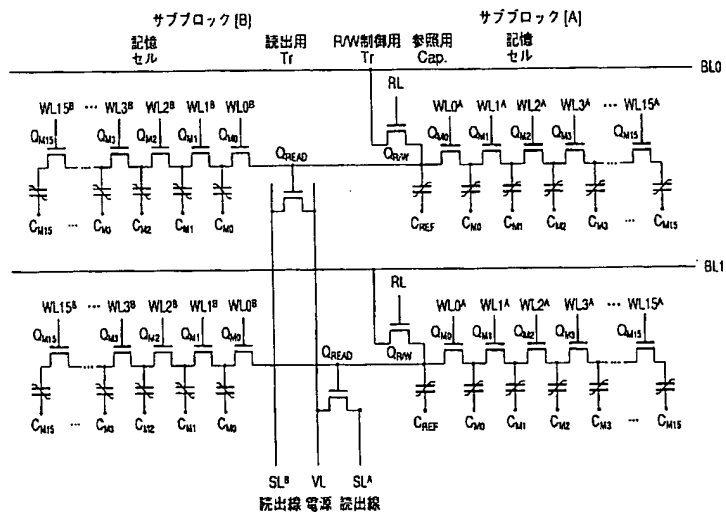
【図25】



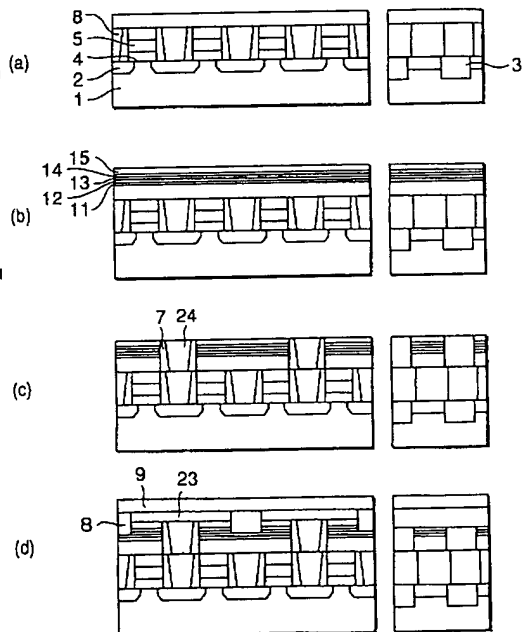
【図27】



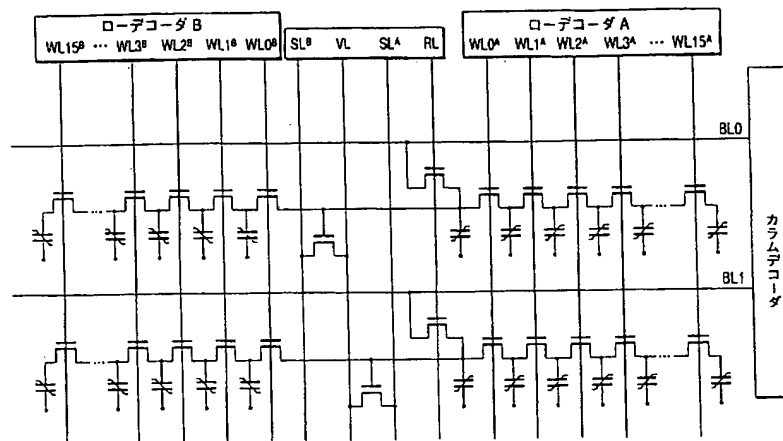
【図28】



【図36】



【図29】



【図30】

第4実施形態の回路における読み出し/書き込みシーケンス

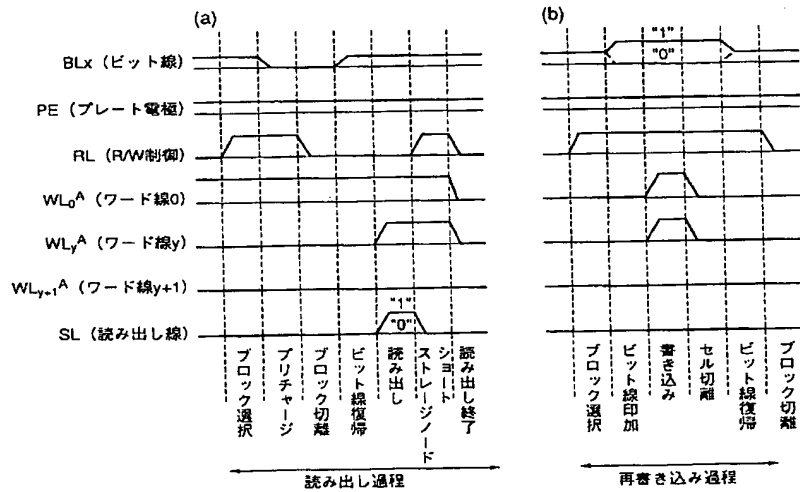


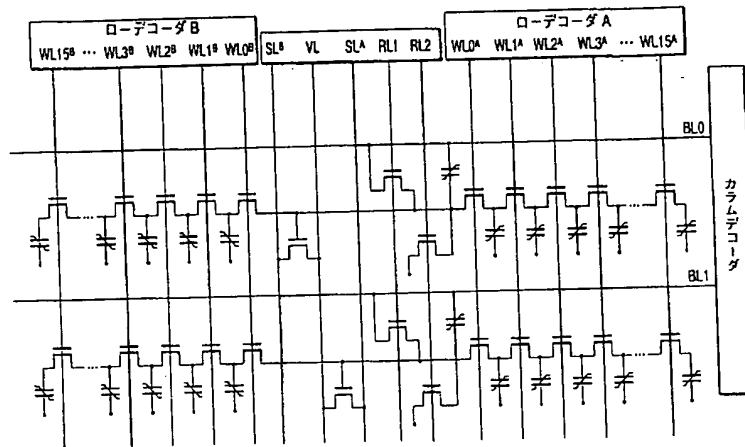


Figure 1 consists of two parts: (a) a plan view and (b) a cross-sectional view of a semiconductor device.

(a) Plan view: Shows a grid of word lines (WL) and bit lines (BL). The word lines are labeled WL15<sup>B</sup>, WL3<sup>B</sup>, WL1<sup>B</sup>, WL2<sup>B</sup>, WL0<sup>B</sup>, SL<sup>B</sup>, VL, SL<sup>A</sup>, RL, WLO<sup>A</sup>, WL1<sup>A</sup>, WL2<sup>A</sup>, WL3<sup>A</sup>, ..., WL15<sup>A</sup>. The bit lines are labeled BL. The access transistors are labeled Q<sub>M15</sub>, Q<sub>M3</sub>, Q<sub>M2</sub>, Q<sub>M1</sub>, Q<sub>M0</sub>, Q<sub>RW</sub>, Q<sub>M0</sub>, Q<sub>M1</sub>, Q<sub>M2</sub>, Q<sub>M3</sub>, Q<sub>M15</sub>. The read/write transistor is labeled Q<sub>RW</sub>.

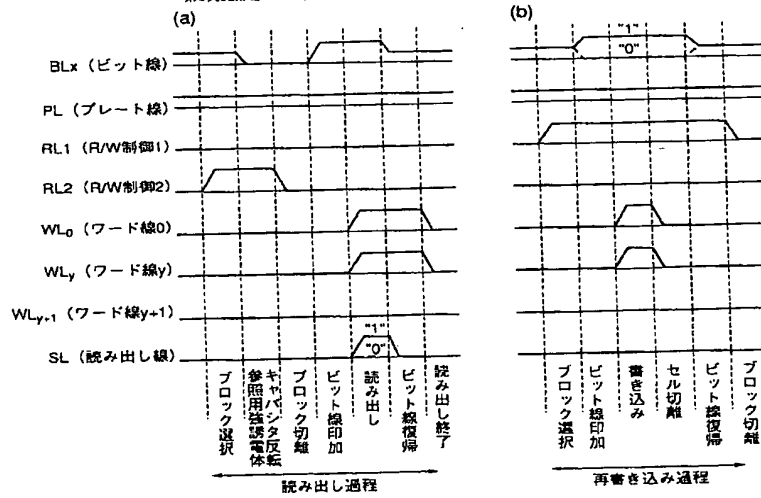
(b) Cross-sectional view: Shows the layered structure of the device. The layers are labeled Ns (substrate), BL (gate oxide), TE (gate electrode), A' (gate electrode), 強誘電体膜 (ferroelectric film), and 主電極 (main electrode). The access transistors are labeled Q<sub>M15</sub>, Q<sub>M3</sub>, Q<sub>M2</sub>, Q<sub>M1</sub>, Q<sub>M0</sub>, Q<sub>RW</sub>, Q<sub>M0</sub>, Q<sub>M1</sub>, Q<sub>M2</sub>, Q<sub>M3</sub>, Q<sub>M15</sub>. The read/write transistor is labeled Q<sub>RW</sub>.

【図33】

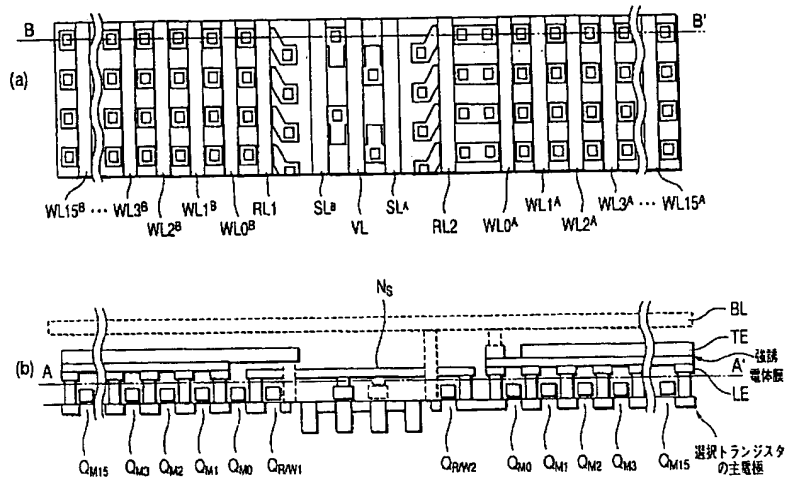


【図34】

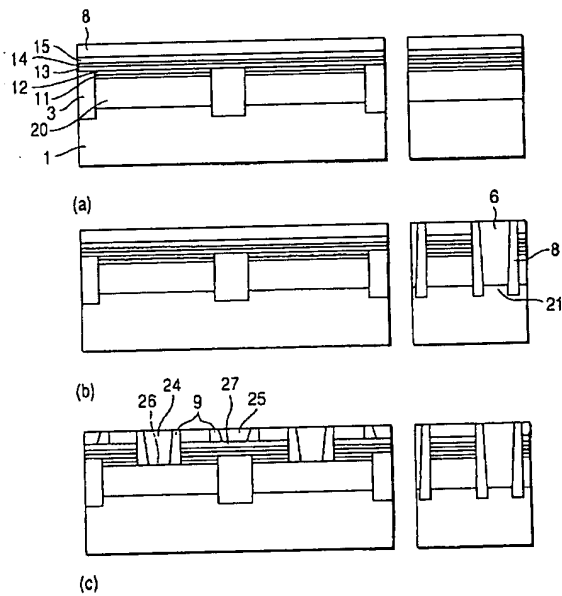
第5実施形態の回路における読み出し/書き込みシーケンス



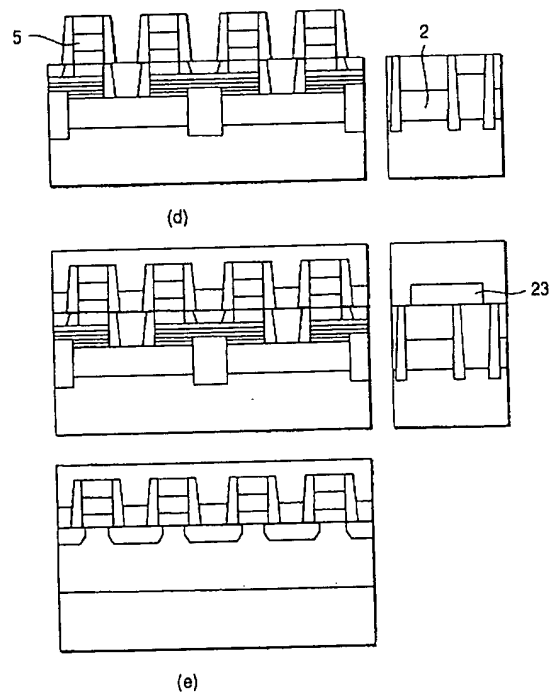
【図35】



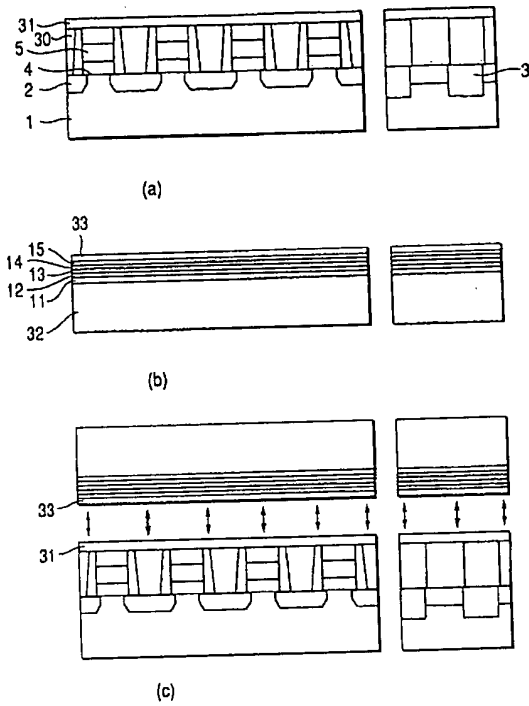
【図37】



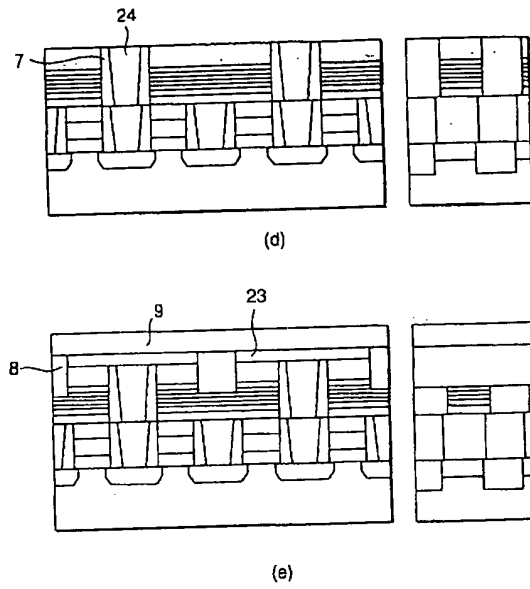
【図38】



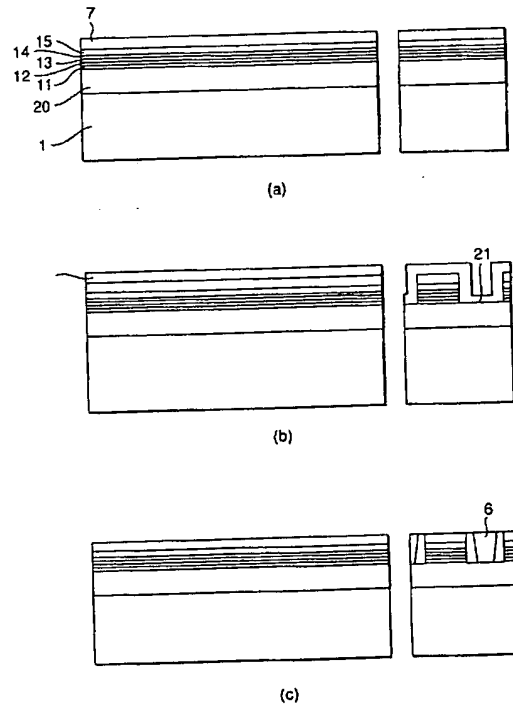
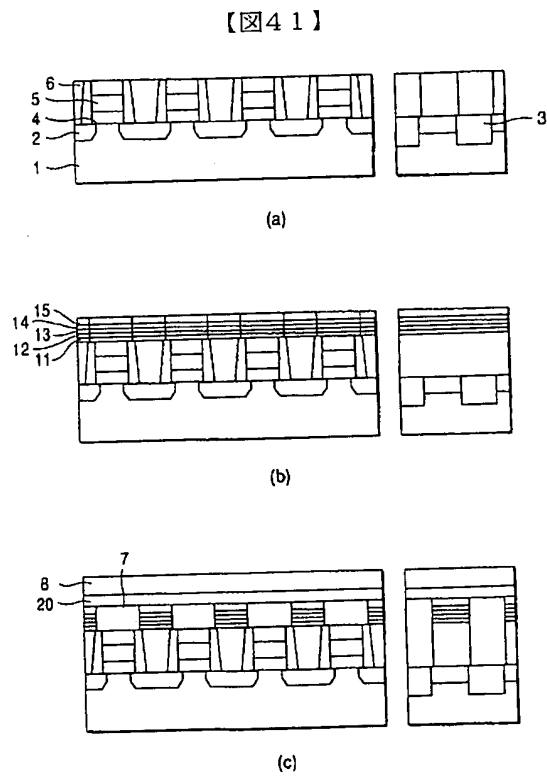
【図39】



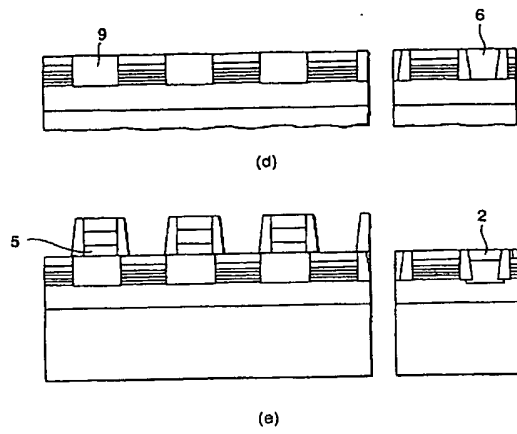
【図40】



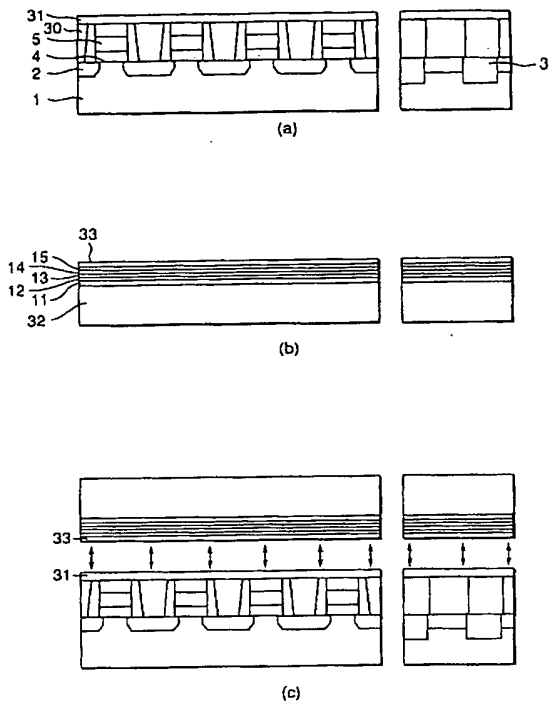
【図42】



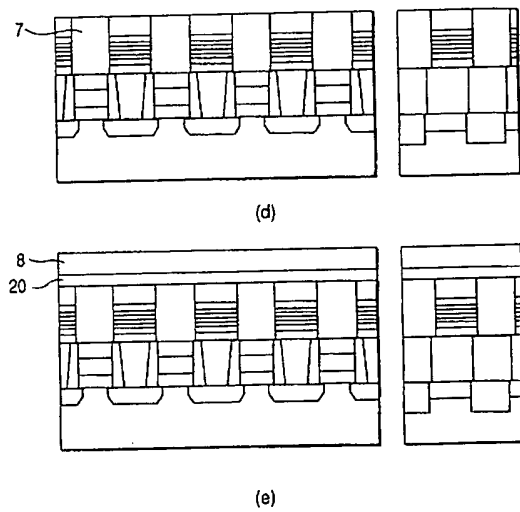
【図43】



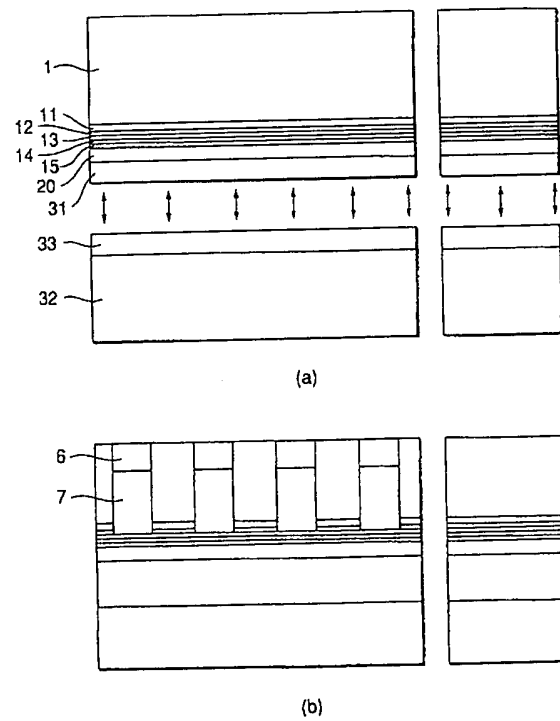
【図44】



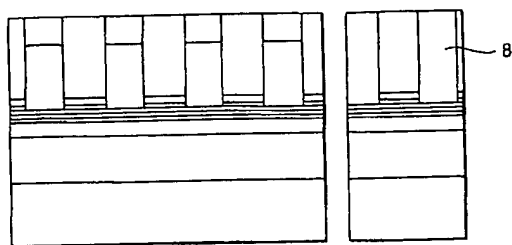
【図45】



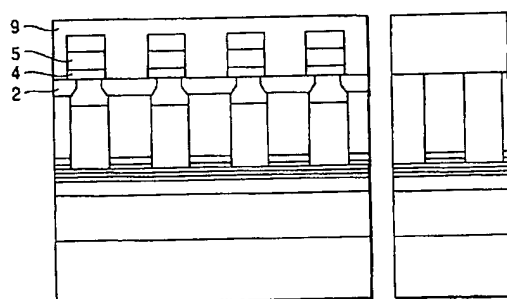
【図46】



【図47】



(c)



(d)

フロントページの続き

(51)Int.Cl.<sup>7</sup>  
)

識別記号

F I

テーマコード(参考)

H 0 1 L 21/8247  
29/788  
29/792

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**